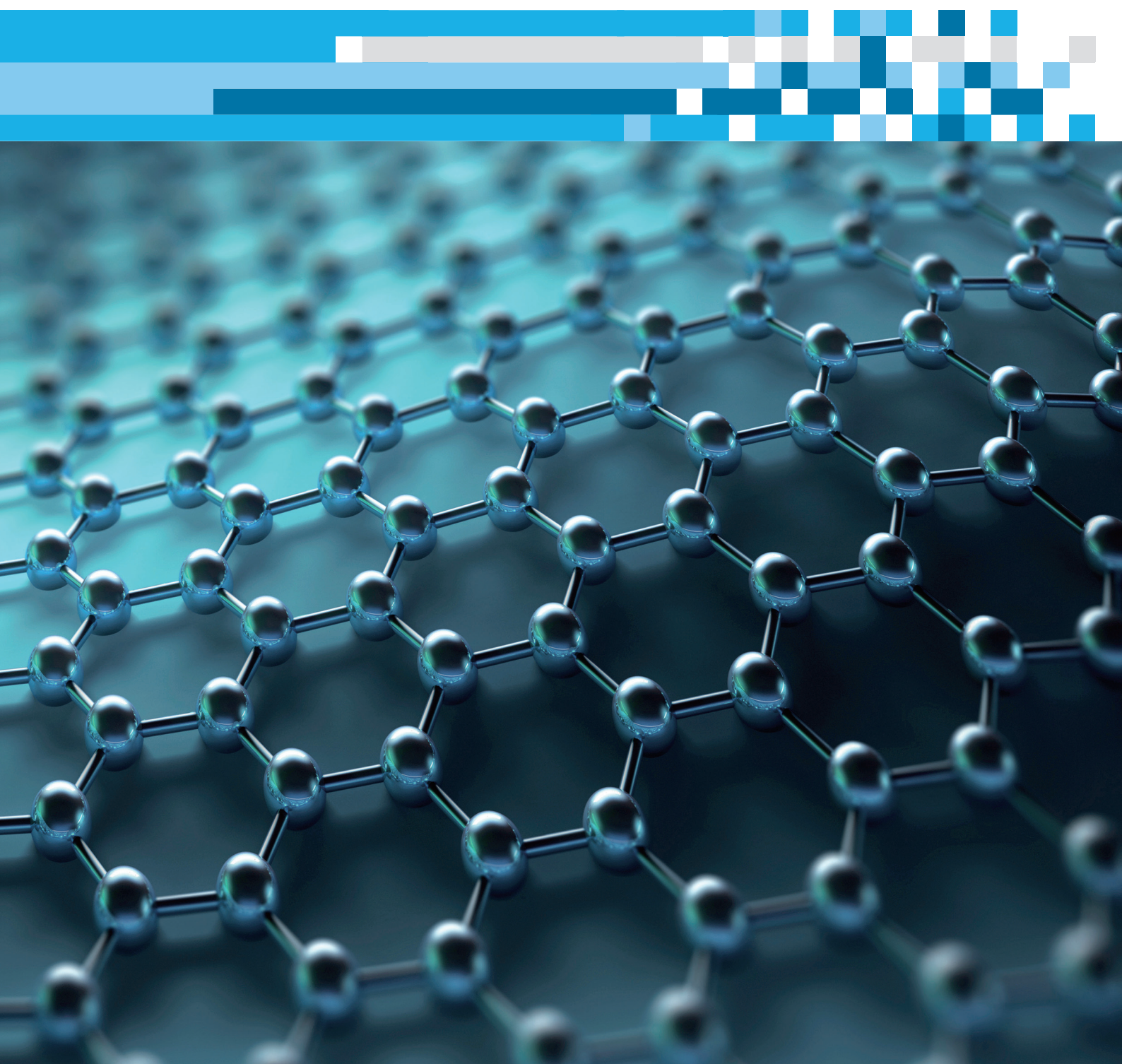
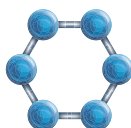




# 3D나노융합소자연구센터 기술리포트

2025년 11월호





# 3D나노융합소자연구센터 기술리포트

---

2025년 11월호

(발행일 2025년 11월 1일)





# Contents

**02** 서론

**06** Hybrid bonding 공정의 최신 동향

**12** Hybrid bonding 공정의 난제

**15** Hybrid bonding을 위한 신규 공정 & 소재 기술

**25** 결론

---

첨단 반도체 패키지 제품을 위한  
하이브리드 본딩 최신기술 동향



## ○ 서론

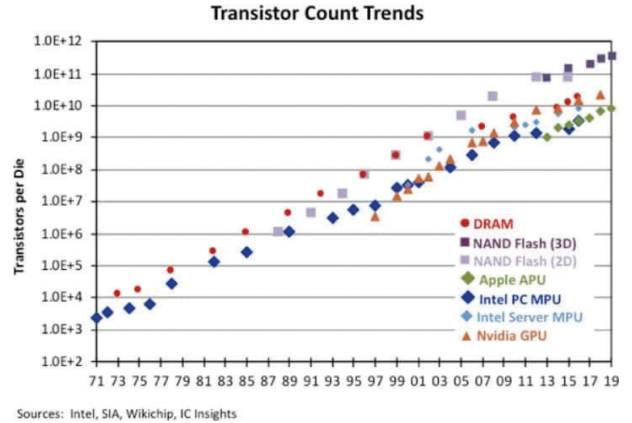
반도체 산업은 1965년 Gordon Moore가 제시한 Moore's law를 따라 성장해왔다. 그러나, 2010년대 이후로 반도체 회로의 미세화에 따라 누설 전류 및 전자의 터널링 효과가 심화되었다.

이러한 문제로 인해, 반도체 산업은 2년마다 트랜지스터 수가 두 배 증가하는 Moore's law의 트렌드에서 벗어나기 시작했다[그림 1]. 이러한 한계를 극복하고 성능 향상을 지속하고자, 현재 글로벌 반도체 산업은 전공정(Front-end)만이 성능 향상을 주도하는 트랜지스터 미세화의 시대에서 패키징을 통한 3차원 적 층으로 성능 효율을 극대화하는 More-than-Moore의 시대로 진입하고 있다.

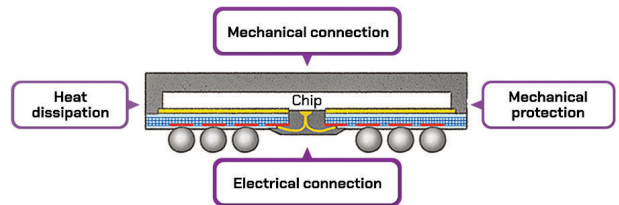
반도체 패키징(Back-end 혹은 후공정)은 전공정에서 제조된 패턴 웨이퍼를 실제 생활에서 사용할 수 있게 반도체 칩으로 개별화하고 전기적인 연결, 칩의 보호, 방열 특성 및 신뢰성을 적용하는 공정을 통칭한다 [그림 2].

자연히 패키징 공정에도 단계가 나뉘게 되는데, 웨이퍼를 다이싱하여 칩을 개별화하는 0차, 개별 칩에 배선 형성 및 몰딩을 작업하는 1차, 모듈에 단품 패키지를 실장하는 2차, 실 사용을 위해 메인 보드에 장착하는 3차로 구분할 수 있다[그림 3].

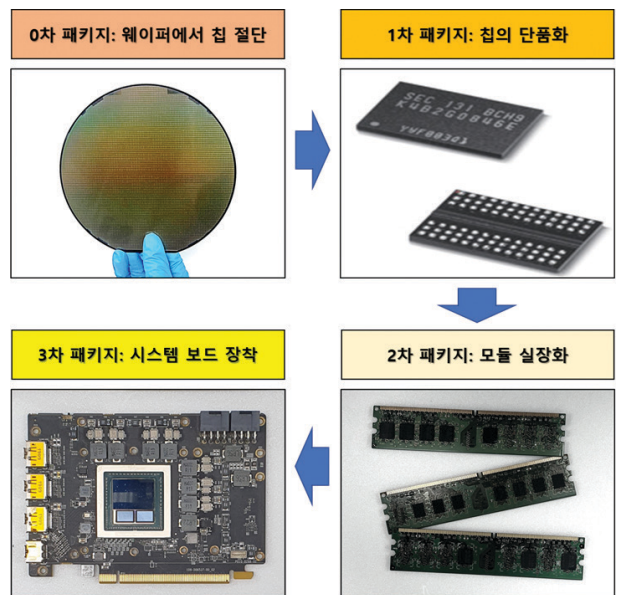
그 중에서도, 통상 반도체 패키지라 하면 스마트폰, 노트북, SSD와 같은 전자제품에 많이 사용되어 우리 주위에서 가장 흔하게 접할 수 있는 형태인 1차 패키지를 일컫는 경우가 많다.



[그림 1] DRAM, NAND, AP, CPU, GPU의 연도에 따른 트랜지스터 집적도

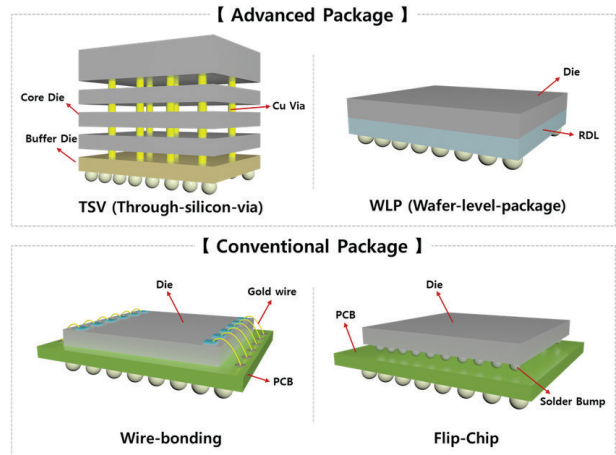


[그림 2] 반도체 패키징의 목적



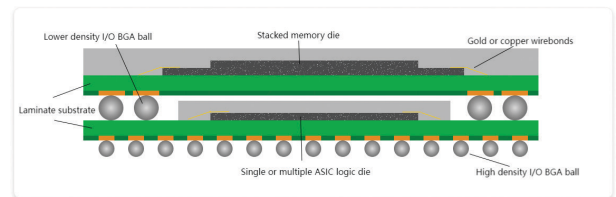
[그림 3] 반도체 패키지의 실제 적용까지의 단계에 따른 구분

현재 적용되고 있는 반도체 패키징 기술은 Conventional packaging과 Advanced packaging으로 구분할 수 있다. [그림 4]에서 볼 수 있듯이, Conventional packaging은 Printed circuit board(PCB)를 메인 기판으로 사용하며, Interconnection은 Wire bonding 또는 Solder bump 방식을 차용하며 각각을 Wire bonding 패키지와 Flip-chip 패키지로 정의한다. 주로, Conventional packaging에서 메모리 제품(NAND 및 DRAM)은 Wire bonding 패키지로 제조되고, 비메모리 제품은 Flip-chip 패키지로 제조된다.



[그림 4] Conventional, Advanced packaging 기반 반도체 패키지 제품의 예시

Advanced packaging은 Redistribution layer (RDL) 또는 칩 자체를 기판으로 사용하고, PCB는 보조 기판의 역할을 한다. 또한, Interconnection으로 칩 내부에 Through-silicon-via(TSV)를 형성하거나 칩 간의 접합을 위해 Solder bump, micro-solder bump( $\mu$ -bump), Pad-direct bonding 혹은 Cu-Cu direct bonding 방식이 차용된다. Advanced packaging에서는 Conventional과 다르게 기판과 Interconnection이 정형화되어 있지 않으나, 대표적인 메모리 제품으로 칩을 기판으로 활용하고  $\mu$ -bump를 interconnection으로 한 High-bandwidth memory (HBM)와 비메모리 제품으로 RDL을 기판으로 하고  $\mu$ -bump 혹은 Pad-direct bonding을 차용한 Wafer-level-package(WLP)와 Panel-level-package(PLP)가 존재한다.



[그림 5] 대표적인 Package-on-package(PoP) 제품 디자인 예시

반도체의 성능 향상을 이끌어낼 수 있는 반도체 패키징 기술로는 이종집적(Heterogeneous integration)이 있는데, 칩 간의 효율을 최적화하고 물리적 거리를 줄여 전기 신호의 손실과 지연을 줄임으로써 성능 향상을 이끈다. Conventional packaging 기술 중에서는 대표적으로 삼성전자, ASE, Amkor Technology에서 적용 중인 Package-on-package(PoP) 기술이 있다[그림 5]. 이러한 PoP는 PCB를 Interposer로 활용하여 메모리와 비메모리 반도체 패키지를 수직으로 연결하는 기술이며 주로 모바일 제품 중에서도 우수한 성능이 요구되는 스마트폰, 태블릿 등의 AP에 적용되고 있다.

위에 언급하였듯이 Conventional Packaging에서도 PoP와 같은 이종집적 기술을 활용하여 반도체의 성능을 향상할 수 있으나 4차산업시대의 기술인 AI, IoT, 및 자율주행에는 일반적인 전자제품보다 훨씬 높은 연산 성능과 대역폭을 고도의 신뢰성으로 구현해야 하기에 기존의 PoP 수준의 집적 구조는 활용할 수 없다.

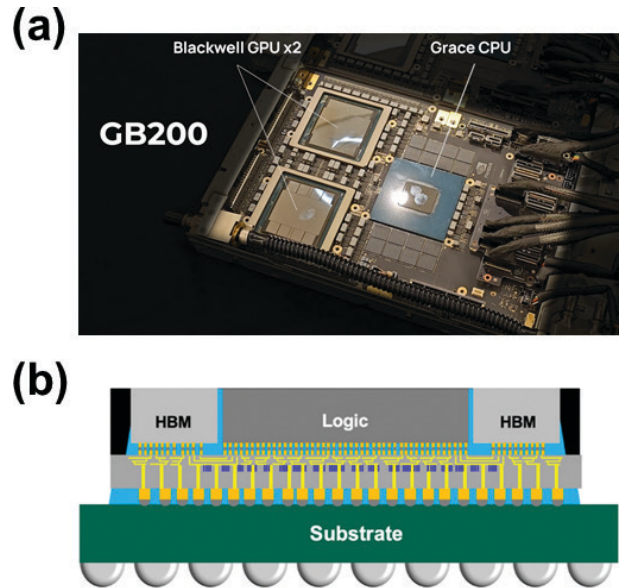
따라서, Advanced packaging 기술이 적용된 고성능 메모리인 HBM과 비메모리 반도체인 WLP/PLP 기반의 Logic을 이종집적하는 기술이 차용되고 있다. 이렇듯 Advanced packaging에서 이종집적을 통해 NVIDIA의 그래픽카드, 슈퍼칩과 같은 하이엔드급 인공지능 반도체에 활용되는 대표적 패키징 기술이 2.5D System-in-Package(SiP)이다. 해당 기술에서 2.5D라는 표현은 3D로 다단적층된 HBM과 2D 단층인 Logic이 수평으로 Interposer를 통해 연결된 구조를 의미한다. 다양한 반도체 기업들이 2.5D SiP를 플랫폼화 하였으며, 대표적인 제품들로는 TSMC의 CoWoS, 삼성전자의 I-Cube, H-Cube, 인텔의 Foveros 등이 존재한다.

[그림 6(a)]와 같이 NVIDIA의 최신 그래픽카드인 Blackwell(GB200)에서는 GPU를 포함하는 2.5D SiP 플랫폼을 2개를 활용하고 있으며, 이러한 2.5D SiP 단면 구조는 [그림 6(b)]와 같이 HBM과 로직이 실리콘 Interposer를 통해 2D 평면으로 연결된 구조이다.

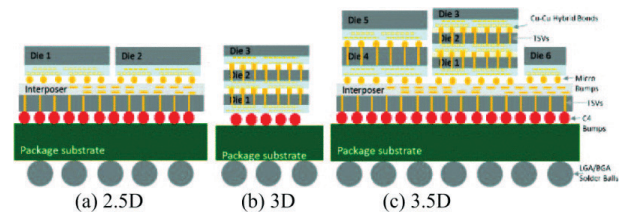
[그림 7]과 같이, SiP에서 더 높은 성능을 구현하기 위해 메모리와 비메모리를 2.5D와 같이 수평으로 배열하는 것이 아닌 3D 수직으로 연결하는 3D SiP 폼팩터의 개발도 진행되고 있으며, 이러한 3D SiP를 모아서 2D 수평으로 배열할 수 있는 최고성능의 3.5D SiP 기술도 개발되고 있다. 현재 이러한 3D와 3.5D SiP 플랫폼은 AMD가 AI용 고성능 그래픽카드에 적용하고 있으며, 이외에도 브로드컴, 인텔 등에서도 연구 개발을 진행하는 중이다.

3D, 3.5D SiP는 2.5D SiP 대비 더욱 고도화된 적층 기술이 요구되기에, 더욱 정밀하고 미세화된 Interconnection 기술이 필수적이다. 기존의 2.5D SiP에서 활용되는  $\mu$ -bump는 낮은 용점을 가진 주석(Sn), 은(Ag) 및 구리(Cu)로 구성된 Solder를 매개로 소자의 Pad와 기판 Bump의 전기적 연결을 구현한다. 하지만, Solder bump 혹은  $\mu$ -bump의 Pitch size가 10~20  $\mu\text{m}$  이하로 내려가면 산화막 비율 증가, Wetting 성능 및 신뢰성 저하, Electromigration(EM) 심화와 같은 문제들이 야기된다.

따라서, Solder bump보다 미세한 Pitch를 구현하면서도 앞선 문제점들을 해결할 수 있는 Interconnection 기술이 필요하며, 이에 가장 각광받고 있는 차세대 기술은 Hybrid bonding(하이브리드 본딩, Cu-Cu direct bonding)이다.

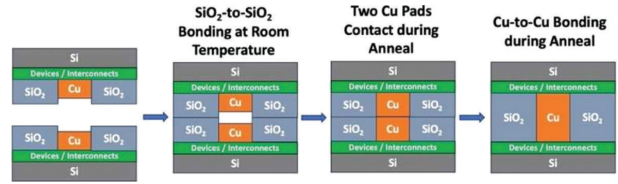


[그림 6] (a) NVIDIA의 Blackwell 그래픽카드와 (b) 대표적 2.5D SiP인 TSMC CoWoS의 구조도



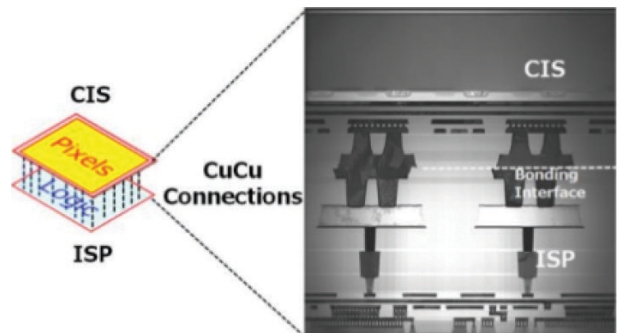
[그림 7] (a) 2.5D, (b) 3D 및 (c) 3.5D SiP의 구조도

[그림 8]과 같이 Hybrid bonding을 위한 시편의 접합면은 Interconnection으로 Cu pad를, 절연층으로 금속산화물 혹은 고분자 소재를 사용하여 제조한다. Hybrid bonding을 통해 위/아래 시편(칩 혹은 웨이퍼)을 접합할 경우, Cu-Cu 및 절연층-절연층이 동시에 완벽하게 형성되어야 한다. 이러한 Hybrid bonding의 장점은 Cu pad는 Solder bump보다 미세하게 형성할 수 있으므로 더욱 많은 수의 칩과 Interconnection을 패키지 안에 구현할 수 있다는 것이다. 이러한 장점에 힘입어, 2.5D SiP를 넘어서는 고집적과 적층 및 미세 pitch 구조가 요구되는 하이엔드급 3D 및 3.5D SiP 등에 필수적으로 Hybrid bonding 기술이 적용될 것이며, 현재도 반도체 기업이 활발히 연구 개발을 진행하고 있다.



[그림 8] Hybrid bonding의 결합 메커니즘 모식도

Hybrid bonding 기술을 패키징 레벨에서 활용해 HBM 등 첨단 패키지의 양산을 성공한 사례는 보고된 바 없으나, 전공정에서는 2~3장의 웨이퍼를 연결하는 Hybrid bonding 기술이 다음과 같이 보고되고 있다 [그림 9].



[그림 9] Sony CMOS image sensor(CIS)의 Hybrid bonding 접합면 단면 TEM

그러나, 패키징 단에서 Hybrid bonding을 Interconnection으로 하여 Solder bump를 대체한 사례는 보고된 바 없다. 따라서, 삼성전자와 SK하이닉스의 HBM 제품군이 Hybrid bonding을 첨단 패키징에 활용한 첫 사례가 될 것으로 예상된다. 이를 위해 개발 중인 기술들은 대다수가 다단 적층을 위한 본딩의 안정성 및 정밀성 개선을 목적으로 한다. 상세히는, 시뮬레이션과 실시간 계측 기술, 접합 공정 및 소재 기술, 미세 공정 제어 기술 등이 주로 개발 중이다.

특히, 최근 가장 주목받고 있는 반도체 제품인 HBM의 Hybrid bonding 도입 제품 상용화가 약 2029년으로 예상되는 가운데 삼성전자와 SK하이닉스 모두 다양한 전략들을 준비 중이다. 삼성전자의 경우 16단 이상의 HBM 제품에서 하이엔드급의 제품에 Hybrid bonding을 적용할 것으로 전망된다. 반면, SK하이닉스의 경우 20단 이상의 HBM 제품에서 Hybrid bonding이 적용될 것으로 전망된다. 또한, 차세대 3D 및 3.5D SiP에도 Hybrid bonding의 적용을 전제로 이종집적 구조를 설계 중이다. 그 예시로, TSMC는 CoWoS, SoIC, 브로드컴은 XDSiP, AMD는 3.5D 등을 공개하며 회사들은 Hybrid bonding을 하이엔드 반도체의 중장기 로드맵에서 핵심 요소로 제안하고 있다.

## ○ Hybrid bonding 공정의 최신 동향

현 시점에서 팹리스, 파운드리, 소재, 장비사 등 다양한 분야의 반도체 기업들이 보유하고 있는 Hybrid bonding 기술 수준과 HBM 및 3.5D SiP와 같은 첨단 반도체 패키징에 적용될 수 있는 Hybrid bonding의 개발을 위해 준비 중인 기술들에 대해 확인해보고자 한다.

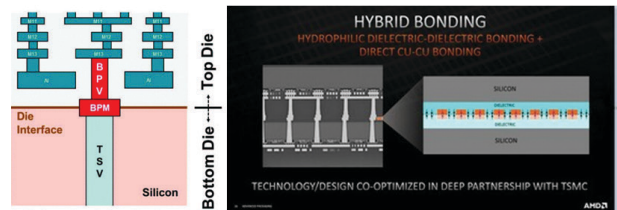
### 1. 반도체 설계 및 제조 기업

다양한 반도체 설계, 제조, 및 IDM(종합반도체 기업) 기업들이 Hybrid bonding을 전공정과 패키징 제품에 적용하기 위한 기술을 개발하고 있으며 대표적인 반도체 기업들의 동향과 제품을 정리하였다.

#### 1) AMD

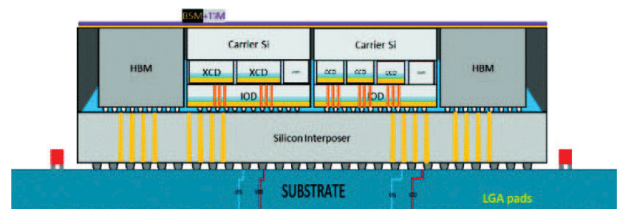
AMD는 현재 AI 가속기로 주목받고 있지만, AI의 대두 이전에는 CPU 및 GPU 메인의 팹리스 업체였던 만큼, 가장 먼저 CPU의 L3 캐시에 Hybrid bonding을 적용하였다. 21년 자사 CPU 라이젠의 L3 캐시를 SoIC 공정 기반의 3D V-Cache 기술로 실장한 것이 그 사례로, CPU에 Hybrid bonding이 적용된 첫 사례를 만들었다.

[그림 10]은 AMD가 공개한 Zen 3 아키텍처 기반 3D V-Cache의 상/하단 다이 간 계면을 나타낸 것이다. Solder를 사용하지 않은 직접 접합을 통해, CPU 내부에서 SRAM과 Logic 간의 메모리 지연 시간이 감소하였으며, 공정 간소화까지 달성하였다.



[그림 10] AMD의 Hybrid bonding이 적용된 3D V-Cache 구조도

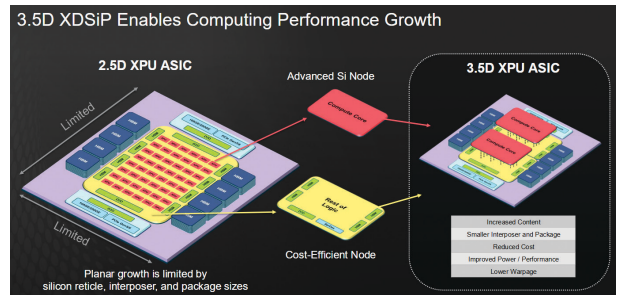
이후 AI 컴퓨팅이 대두됨에 따라, AMD는 AI 가속기 개발에 뛰어들며 HBM이 실장된 고성능 패키지 또한 개발하고 있다. [그림 11]은 AMD가 ECTC 2024에서 발표한 3.5D 어드밴스드 패키징 아키텍처 MI300 Instinct이다. 3.5D는 3D 적층 패키지들을 실리콘 인터포저로 통합한 구조로, MI300 Instinct는 9 μm Cu-Cu Hybrid bonding을 기반으로 APU와 GPU를 3D 적층하였으며, 이를 실리콘 인터포저와 μ-bump를 이용하여 HBM3 12-Hi와 통합한 패키지 구조를 가지고 있다. 이를 통해, AMD는 AI 가속기 및 GPU 최초로 3.5D 패키지를 구현한 제품을 발표 및 출시하게 되었다.



[그림 11] AMD의 3.5D SiP가 적용된 MI300A의 구조도

## 2) Broadcom

Broadcom은 2026년도의 생산을 목표로 Face-to-Face(F2F) 적층 및 Hybrid bonding 기반의 3.5D 패키지인 XDSiP를 개발하고 있다[그림 12]. XDSiP는 기존 2.5D XPU(CPU 및 GPU)가 실장된 패키지보다 더 작은 패키지에서 고밀도의 집적을 이루며 효율적인 공간 활용이 가능함을 강조하였다. 또한, 2단 적층에서는 F2F 방식을 사용할 시 상/하단 다이의 패턴면이 가깝기에 매우 효율이 높은 접합이 가능하다는 장점을 강조하였다.

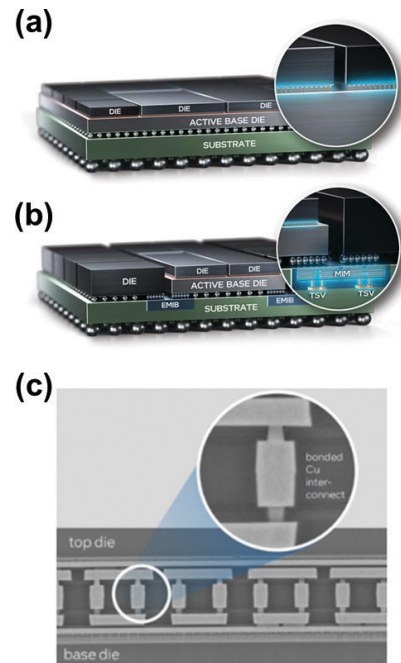


[그림 12] Broadcom의 3.5D XDSiP 구조

## 3) Intel

Intel의 경우는 기존 자사의 어드밴스드 패키징 기술인 Solder bump 기반의 Foveros-S 2.5D 기술을 지속적으로 개발하는 중이다. 로드맵 상으로는, 2027년까지 RDL을 갖춘 칩렛 구조인 Foveros-R 2.5D와 실리콘 브릿지를 추가한 Foveros-B 2.5D로 업그레이드할 예정이다.

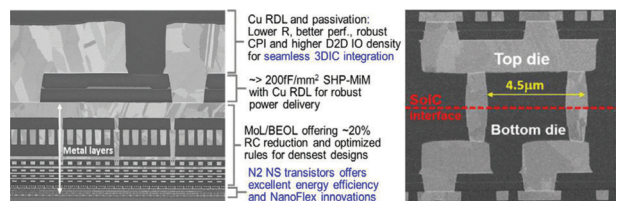
[그림 13]은 Intel의 Hybrid bonding 기술이 적용된 패키지인 Foveros Direct 3D와, 여기에 실리콘 Bridge를 Interposer 대신 이용하여 Substrate 위의 칩들을 통합한 EMIB 3.5D의 모식도이며, 단면 SEM 이미지를 통해 Hybrid bonding이 성공적으로 도입되어 상/하단 다이를 연결하는 것을 확인할 수 있다.



[그림 13] Intel의 (a) Foveros Direct 3D, (b) EMIB 3.5D 구조도 및 (c) 단면 SEM

## 4) TSMC

TSMC는 2 nm 공정에 기존 Hybrid bonding 기술인 SoIC(System on integrated chips)을 적용하여 Cu-Cu 접합을 구현하였으며, 9  $\mu\text{m}$ , 6  $\mu\text{m}$ 에 이어 4.5  $\mu\text{m}$  pitch의 Hybrid bonding이 적용된 제품을 공개하였다[그림 14]. 해당 칩은 Logic의 256 Mb SRAM으로, 38 MB/mm<sup>2</sup>의 가장 높은 SRAM 용량 밀도를 나타내었다. 해당 기술이 적용된 공정은 2025년 중 내부 검증을 끝내고 2026년 양산을 목표로 하고 있다.



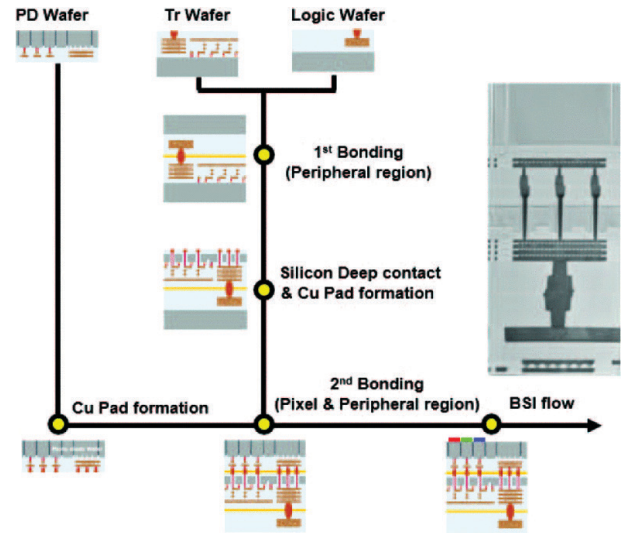
[그림 14] TSMC의 SoIC(Hybrid bonding)가 적용된 2 nm (N2) 공정 시편의 단면 SEM

## 5) Samsung electronics

다음으로, 삼성전자는 기존 Hybrid bonding을 사용하던 CIS 분야와 최근 HBM에 적용하기 위한 메모리 다단 적층으로 Hybrid bonding의 기술 개발 방향이 나뉜다.

[그림 15]와 같이 최근 CIS에서는 Cu-Cu 본딩을 도입하여 3 웨이퍼 적층을 진행하고 있으며, 이를 통해 0.5 μm의 픽셀 사이즈를 형성해 6200만 화소의 소자를 만들었다. 해당 공정과 같이 삼성이 이전까지 쌓아온 CIS 기술들은 HBM을 위한 다단 적층 Hybrid bonding 설계에 Warpage, Void, CMP 등 변수 최적화를 진행하는데 레퍼런스로 사용되는 중이다.

HBM 제품에 있어서는 HBM4/HCB 16-Hi 샘플을 공개하였으며, 7세대 HBM인 'HBM4E' 16단에 TC 본딩과 Hybrid bonding을 모두 활용하고, 8세대 'HBM5' 20단부터는 양산에 본격 적용하겠다고 발표한 바 있다.



[그림 15] 삼성전자의 3단 웨이퍼 적층 CIS 소자 제조 공정의 흐름

## 6) SK hynix

SK하이닉스는 AI Summit 2025에서 HBM4, HBM4E의 계획과, HBM4E 이후로 본격화될 커스텀 HBM에 대한 내용을 언급하고, 로드맵을 제시하였다 [그림 16]. 또한, 2029-2031년에 HBM5, HBM5E, GDDR7-Next, DDR6, 400+ Layered 4D NAND, HBF(High-bandwidth flash)가 포함된 장기 로드맵을 제시하였다. 이는 앞으로 20단 이상의 HBM과 HBF 등 AI용 고급 3D 적층 메모리에 대한 Hybrid bonding 도입을 적극적으로 활용하고자 하는 모습이다.



[그림 16] SK하이닉스의 차세대 메모리 로드맵

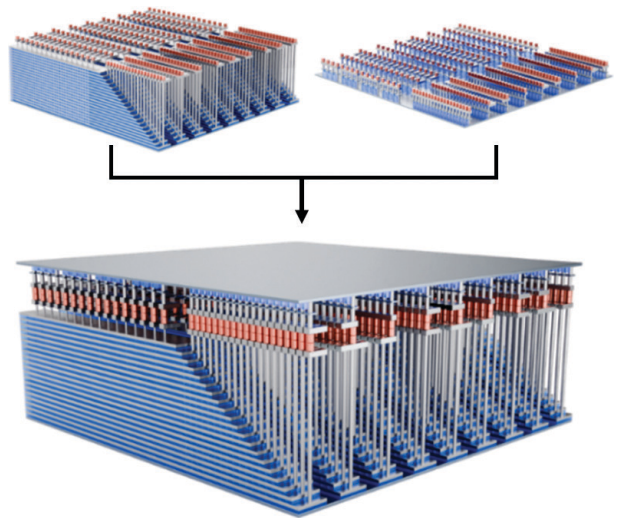
3D NAND의 경우, 기존에는 소자 설계 단계에서 데이터 저장의 역할을 하는 Cell과 회로를 구동하는 영역 Peri를 하나의 웨이퍼에서 구현하는 PUC(Peri under cell) 구조를 사용하였다. 하지만, 400단 이상의 고집적 NAND는 고열 및 고압으로 인해 Peri에 열적 손상이 발생할 수 있다. 이러한 문제를 극복하기 위해 Hybrid bonding 기술이 사용될 예정이며, 이는 기존 PUC구조에서 Cell과 Peri를 각각 다른 웨이퍼에 형성한 후 Hybrid bonding을 통하여 Wafer to wafer(W2W) 접합을 진행하는 방식이다. 이를 통해 고집적 회로 설계에 유연성을 부여하며 더

욱 높은 I/O pin의 구현이 가능하기에, Hybrid bonding은 차세대 반도체 패키징을 넘어 메모리 소자에 있어서도 매우 중요한 기술로 꼽히고 있다.

## 7) YMTC

메모리 선두주자인 삼성전자와 SK하이닉스를 따라가고자, 현재 중국의 YMTC는 NAND에서 Hybrid bonding을 상용화한 상황이다. YMTC는 자사의 3D NAND(Xtacking)에 Hybrid bonding을 적용하여 3D NAND 양산을 진행하고 있다.

[그림 17]과 같이, YMTC는 PUC 구조 대신 Cell array와 Peri를 별도의 웨이퍼에서 제작한 후 W2W Hybrid bonding을 진행하는 방식으로 제품을 양산하고 있다. Hybrid bonding이 앞으로 하이엔드 제품에서 대세 Interconnection 기술이 될 것인 만큼, 신속히 도입하여 기술을 축적하기 위해 많은 기업에서 노력을 기울이고 있다. 수년 내의 가까운 미래에는 Hybrid bonding 기술 숙련도가 곧 높은 영업이익률을 가진 하이엔드 제품의 품질로 직결되어 기업 경쟁력에 핵심이 될 것으로 보인다.



[그림 17] YMTC의 3D NAND(Xtacking) 모식도

## 2. 반도체 장비사

Hybrid bonding을 구현하기 위해서 필요한 접합 장비와 공정 인프라에 대해 알아보고자, 본더(Bonder)와 관련된 대표적인 반도체 장비사들의 동향과 제품을 정리하였다.

### 1) TEL

먼저 일본 도쿄일렉트론(TEL)의 W2W 본더인 Synapse Si는 3 $\sigma$ 에서 100nm 이내의 초정밀 정렬 정확도와 높은 양산 신뢰성 및 생산성을 보유한 장비이다[그림 18]. 또한, 세정 및 플라즈마 활성화 모듈을 내장하여 표면 처리부터 접합까지 In-line으로 수행하는 통합 솔루션을 제공할 수 있다.



[그림 18] TEL의 W2W 본더 Synapse™ Si

## 2) EV Group

오스트리아의 EV Group(EVG)은 W2W/D2W 모두 가능한 Hybrid bonding 플랫폼을 구축하였다[그림 19]. EVG40 D2W은 세계 최초로 D2W 공정에서 전수 오버레이 검사를 수행하여 기존 장비에 비해 15배까지 빠른 Throughput을 보인다. 이는 모든 다이의 정렬 오차를 고속으로 검사하여 Misalignment 시 즉각 보정을 수행하는 정렬 계측 시스템까지 내장되어, 여러 반도체 기업의 생산 현장에 설치되어 활용되고 있다.



[그림 19] EV Group의 W2W 본더 GEMINI® FB

## 3) SUSS MicroTec

독일의 SUSS MicroTec 또한 W2W와 D2W 공정을 하나의 장비 플랫폼에서 수행할 수 있는 올인원을 플랫폼으로 XBS300 시리즈 및 XBC300 Gen2 시리즈를 출시하였다[그림 20]. 이들은 W2W 공정에서 3 $\sigma$  기준 100nm 이내의 정렬 정밀도를 가졌으며, 연구 개발 및 Pilot 라인 시장을 공략하고 있다.



[그림 20] SUSS MicroTec의 XBS300 W2W

## 4) Besi & Applied materials



[그림 21] Besi의 Datacon 8800 CHAMEO ultra plus AC



[그림 22] Applied materials와 Besi의 공동 개발 D2W Hybrid bonding 플랫폼인 Kinex

네덜란드의 Besi는 Hybrid bonding용 본더 시장의 선두주자로, 상온 접합 공정의 지원과 높은 청정도 관리가 가능한 Datacon 8800 CHAMEO 시리즈를 통해 시장을 장악하고 있다[그림 21]. 클린룸 클래스 ISO 3 수준을 만족시키는 초청정 환경 제어 기술과 함께 상온 접합 공정을 통한 Warpage의 제어, 높은 정렬 성능과 빠른 처리속도를 강점으로 가지고 있다. 또한, Besi는 Applied materials와 협력하여 D2W Hybrid bonding 통합 플랫폼인 Kinex를 개발하였다[그림 22].

국내에서도 한미반도체/한화세미텍 등 본딩 장비 업체가 국내 메모리 업체와의 협력 하에 26년 중 출시를 목표로 Hybrid bonder의 개발에 나선 상황이다. 이를 통해서, 국내 메모리 업체들 또한 내년 이후부터 Hybrid bonding이 적용된 HBM을 본격적으로 드러낼 것으로 보인다.

## ○ Hybrid bonding 공정의 난제

Hybrid bonding 공정이 첨단 반도체 패키징에 적용되기 위해 존재하는 난제들은 저온 접합, 정렬, CMP 공정, 및 수율로 알려져 있으며 상세한 내용은 다음과 같다.

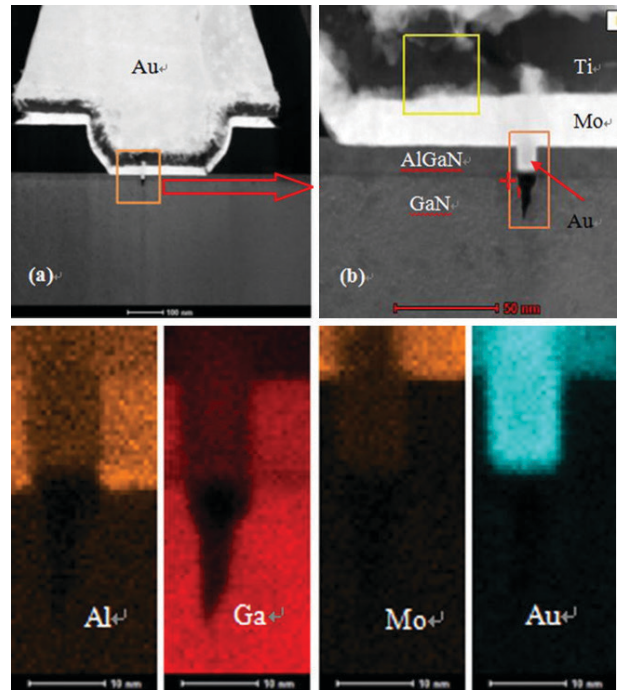
### 1. 저온 접합의 문제

Hybrid bonding의 주 접합인 Cu-Cu 확산 접합을 원활히 달성하기 위해서는 통상 300~400 °C 수준의 열처리가 필요하다.

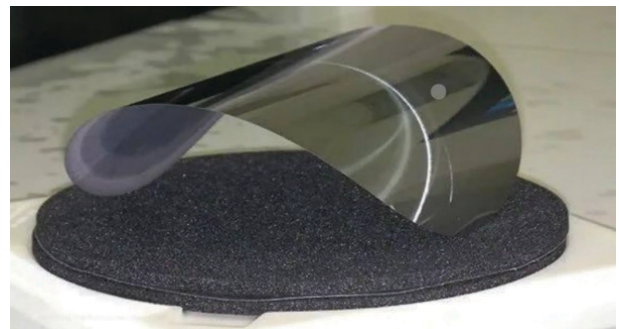
그러나, 접합에서 발생하는 고온은 칩 내에 형성된 패턴에 열적 스트레스를 줄 수 있으므로, [그림 23, 24]와 같은 트랜지스터의 손상 및 Warpage의 발생을 고려해야 한다. 따라서 칩 손상을 방지하면서도 충분한 접합 강도와 정상적인 전기적 특성을 확보하려면 저온 접합 기술이 필수적이며, 저온에서 Cu pad들의 접합을 위한 연구들이 활발히 진행되고 있다. 특히 HBM, 3D DRAM, Logic+DRAM 적층에서는 금속/유전체/폴리머 등 서로 다른 소재들이 다층 복합 구조를 이루고 있기 때문에 CTE 편차가 고온 어닐링의 리스크를 더 증가시킨다. 따라서 많은 연구들은 200 °C 이하에서 수행 가능한 저온 접합에 집중하고 있다.

### 2. 정렬(Align)의 문제

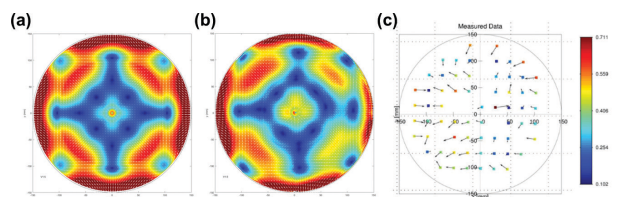
Hybrid bonding의 Pitch size가 미세해질수록 정렬 정확도의 중요성은 더욱 커진다. W2W 본딩에서는 웨이퍼 전체 영역에 걸친 Warpage, 열팽창 차이, 압력 분포 등을 고려한 정렬 모델이 요구되며, 이를 보정하기 위해 [그림 25]와 같은 FEM 기반의 시뮬레이션과 공정에서의 오버레이 계측이 활용된다. 반면 D2W 방



[그림 23] 열적 데미지로 인해 트랜지스터에 발생한 크랙의 단면 TEM



[그림 24] 웨이퍼에 발생한 warpage

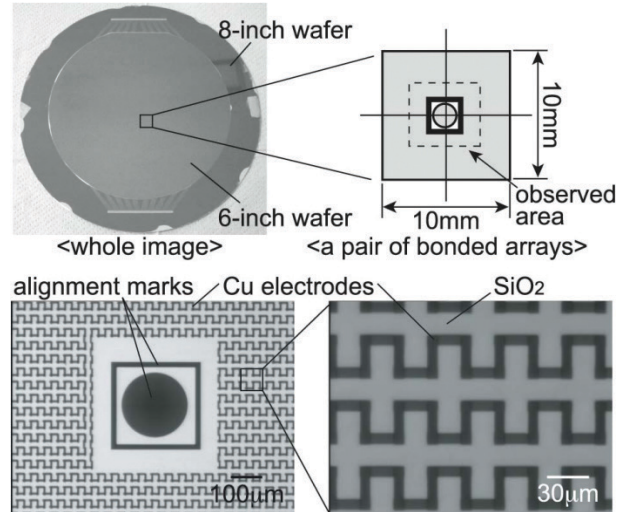


[그림 25] W2W 본딩 모델링의 (a) 시뮬레이션 데이터, (b) 실제 데이터와 (c) 오버레이 형상

식은 개별 다이를 정렬하므로 공간적 변동이 상대적으로 작아 정렬 난이도는 낮지만, 낮은 Throughput을 개선해야 하므로 고속, 고정밀 정렬 기능이 동시에 필요하다.

그러나 기존의 샘플링 기반 오버레이 계측 방식으로는 이러한 고정밀 정렬에 필수적인 공정 변동과 위치 편차와 같은 변수까지 실시간으로 보정하기 어렵다. 이 한계를 보완하기 위해서는 상기 언급되었던 EVG40 D2W 오버레이 계측 시스템과 같이 웨이퍼의 전 영역을 고속으로 정렬 계측하는 기능을 갖춘 장비가 요구된다. 더불어 D2W 공정에서는 웨이퍼 캐리어의 TBDB(Temporary bonding-debonding) 공정이

반복되는데, 이 과정에서 발생하는 미세한 정렬 변동, 오염 등이 전체 정렬 정확도와 수율을 저하시키는 요인으로 작용할 수 있으므로, [그림 26]과 같은 IR 투과 등을 통한 실시간 계측을 통한 지속적인 정렬 보정이 필요하다.

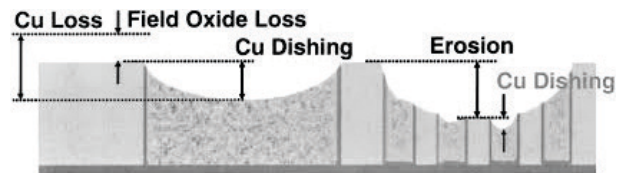


[그림 26] 정밀 Alignment의 계측을 위한 IR 투과 이미지

### 3. CMP 공정의 문제

Hybrid bonding은 절연층-절연층과 Cu-Cu의 이중 소재 패터닝 표면 간의 면 대 면 접합인 만큼 표면 거칠기와 형상, 파티클 오염에 매우 민감하다. 수 nm 수준의 파티클, Recess 하나로도 넓은 영역에 Void가 형성될 수 있으며, 이렇게 형성된 Void는 미세 Pitch로 인한 Open 불량이나 미접합을 야기할 수 있기 때문이다. 따라서, 표면 품질을 확보하기 위해서는 매우 정밀한 CMP 기술이 필수적이다.

하지만 Hybrid bonding 칩의 표면 CMP 과정에서 Cu와 절연층간의 기계적 물성과 화학적 반응성, Pattern의 밀도와 Barrier 층의 두께에 따라 Dishing, Erosion이 발생하여 접합면에서 비접촉 영역(Gap) 및 Void가 형성되는 문제가 있다[그림 27]. 또한 웨이퍼 전면에서 Cu/절연층 구조에 수 nm 수준으로 단차를 제어할 수 있는 CMP 기술력과 플라즈마 등 표면처리 기술이 요구된다.

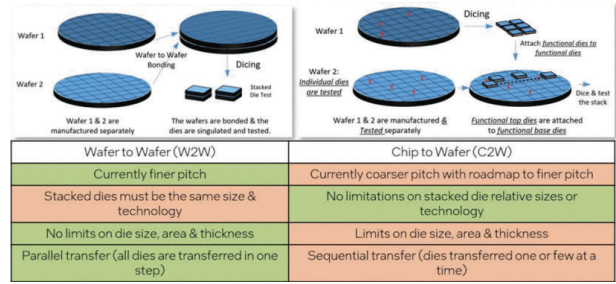


[그림 27] Cu/절연층 구조의 Dishing과 Erosion 모식도

### 4. 수율의 문제

[그림 28]과 같이, W2W 방식은 웨이퍼 간의 접합이 이루어지기 때문에, 한 쪽 웨이퍼에 불량이 발생하면 전체 칩이 손실될 수 있고, 접합 과정에서 고려해야 하는 변수가 너무 많아 D2W에 비해 수율이 극히 낮다. 반대로

D2W 방식은 양품 다이의 선별이 가능하지만 Align 및 접합 과정이 개별 다이 단위로 이루어지므로 공정 속도가 느려 Throughput이 훨씬 낮고 CAPEX가 높은 문제가 있다. 공정이 안정화된다면 D2W의 Throughput 한계로 인해 W2W 방향으로 기술 개발이 진행될 수밖에 없는데, 이때 HBM과 같은 메모리의 적용에서는 W2W 공정으로는 각 다이의 Bin(성능)을 맞추어 적응할 수 없다는 한계 또한 존재한다.



[그림 28] W2W와 C2W(D2W) 공정의 장단점

# ○ Hybrid bonding을 위한 신규 공정 & 소재 기술

Hybrid bonding의 신규 기술에 대해 알아보고자, 2025년에 발표된 다양한 컨퍼런스와 저널의 자료들을 기반으로 Hybrid bonding 관련 신규 공정 및 소재 기술들에 대해 요약하였다.

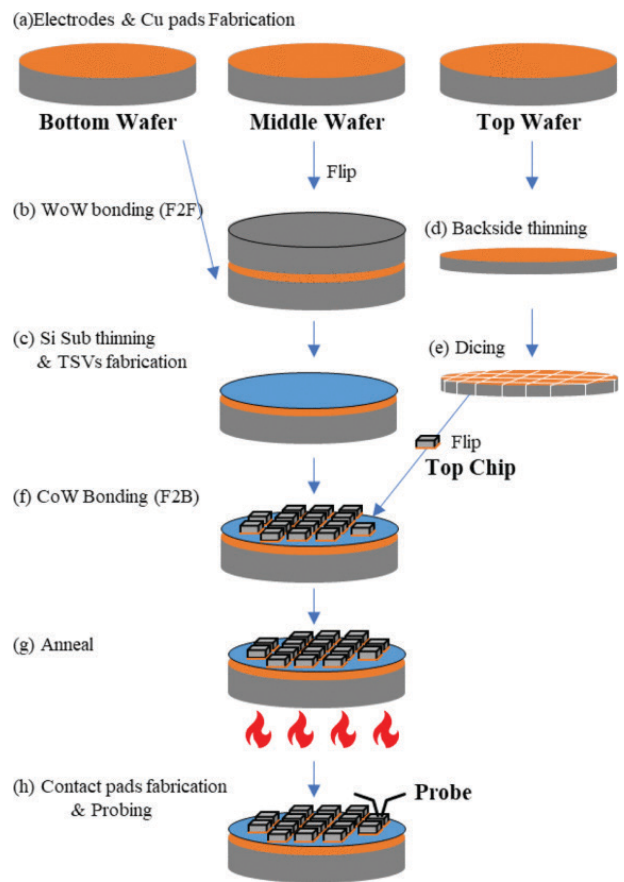
## 1. Sony의 CoWoW 및 WoWoW 공정

Sony의 경우는 기존에도 CIS에 2단 Hybrid bonding을 사용해왔고, 최근에는 멀티 스택으로 적층하기 위한 연구가 진행 중이다.

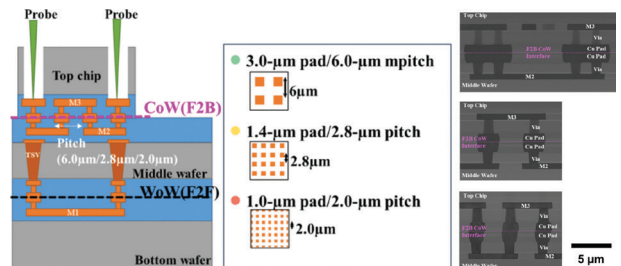
[그림 29]는 F2F(Face to face) WoW + F2B(Face to back) CoW의 연속 공정을 통한 3단 CoWoW Hybrid bonding 공정이다. 하단과 중단 웨이퍼를 F2F로 WoW 접합을 진행한 이후 TSV 형성 및 패턴링 공정을 진행하고, 이후 웨이퍼의 후면에 다이를 접합하는 공정 이후 전기 테스트를 진행하였다.

[그림 30]은 상세한 CoWoW 구조와 접합 품질을 확인하기 위한 단면 SEM 이미지로, 6 μm, 2.8 μm, 2 μm Cu-Cu pitch로 나누어 공정 및 분석을 진행하였다. 이와 같이, 접합 이후 평탄도 및 Warpage 제어를 통해 Void-free의 달성을 확인하였으며, F2B/F2F 체인 저항을 확인하여 성공적인 CoWoW 공정이 가능함을 입증하였다.

[그림 31]은 0.7 μm Cu pad, 1.4 μm Cu-Cu pitch를 가진 F2F/F2B 방식 WoWoW Hybrid bonding 공정과 실제 시편의 단면 이미지이다. 해당 연구에서, Sony는 Cu recess 제어용 Slurry를 개발하여 Advanced CMP 방식을 소개하였다. 이는 Cu pad의 크기가 작아질수록, Recess의 크기 또한 비례하여 작아지므로 선택비의 제어가 중요하기 때문이다.

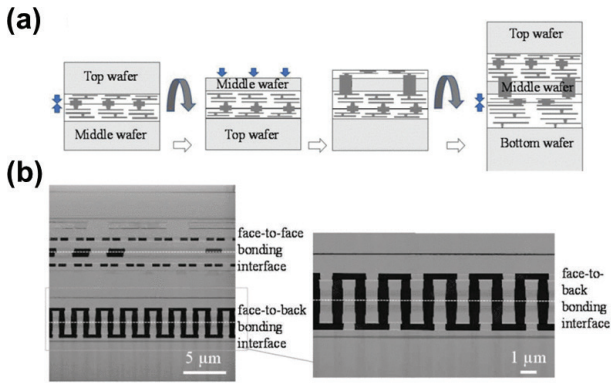


[그림 29] Sony의 CoWoW CIS Hybrid bonding 공정 흐름

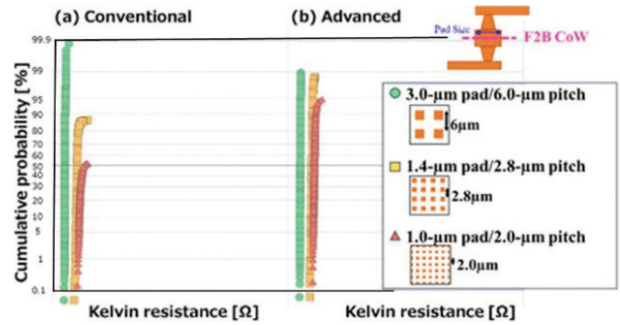


[그림 30] CoWoW CIS Hybrid bonding의 구조도 및 단면 SEM

Sony는 이를 [그림 32]와 같이 Kelvin 구조의 접촉 저항에 대한 누적 분포를 통해 비교하였다. 기존 CMP는 1.4  $\mu\text{m}$ , 1.0  $\mu\text{m}$  Cu 패드에서 수율이 크게 저하하였으나, Advanced CMP에서는 1.4  $\mu\text{m}$  와 1.0  $\mu\text{m}$ 에서도 각각 99%, 95% 이상으로 높은 수율을 확보하였다.

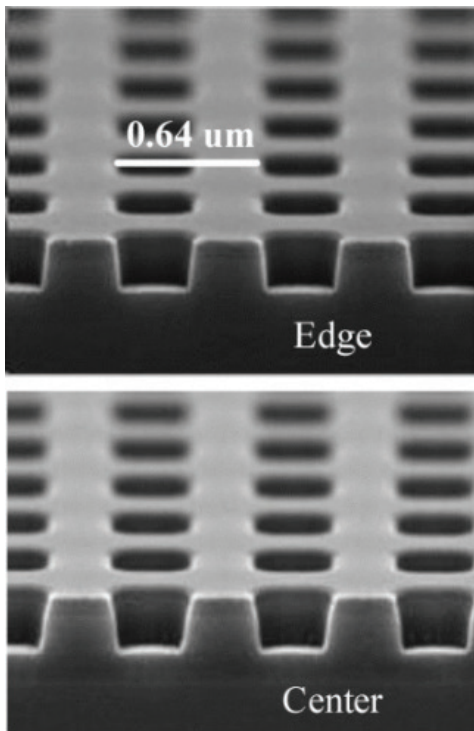


[그림 31] Sony의 F2F/F2B WoWoW CIS Hybrid bonding의 (a) 공정 프로세스 및 (b) 단면 TEM

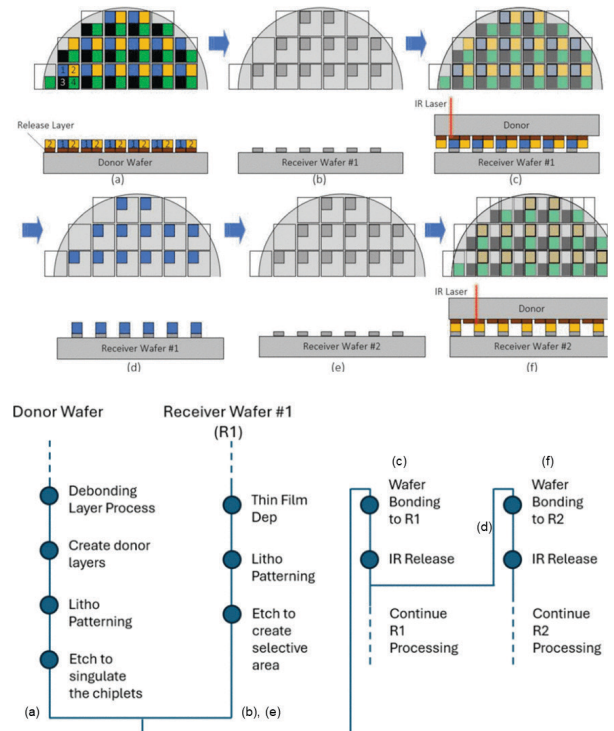


[그림 32] CMP 공정에 따른 Kelvin 접촉 저항과 전기적 수율

## 2. Intel의 SLT(Selective layer transfer) 공정



[그림 33] Intel의 0.64  $\mu\text{m}$  pitch Hybrid bonding 시편 제조 공정 중 식각된  $\text{SiO}_2$  절연층의 단면 SEM

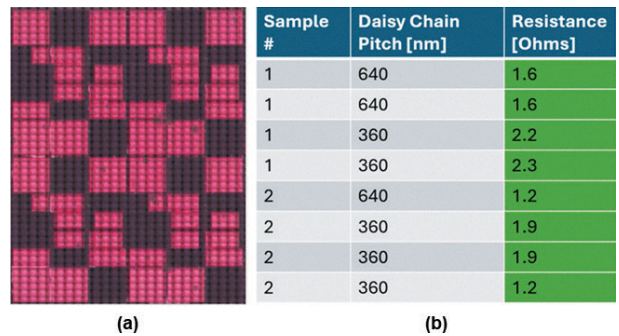


[그림 34] Intel의 SLT 공정의 흐름

Intel은 기존에도 지속적으로 Hybrid bonding을 연구 개발을 진행하였는데, 현재는 [그림 33]과 같은 Sub-micron 수준의 Pitch 미세화와 더불어, 표면장력 등 새로운 수단을 이용한 정렬 방법과 W2W, D2W의 공정 장 단점을 개선하기 위한 개선된 D2W 공정인 SLT 공정을 개발하였다.

[그림 34]는 Intel이 개발한 SLT(Selective layer transfer) 공정 흐름으로, IR 레이저로 분리할 수 있는 Chiplet 을 Donor 웨이퍼에 실장하는 것으로 시작한다. 이후 Donor와 Receiver를 정렬하고, IR 레이저를 통해 Donor 웨이퍼에서 원하는 Chiplet section만을 선택적으로 릴리즈하여 반대편 웨이퍼에 실장하여 한번에 다수의 다이 를 D2W 방식으로 접합하는 기술이다. Intel은 이를 통해 기존 D2W 대비 100배까지 빠른 속도의 공정을 구현하 였다고 발표하였다.

개선된 공정성과 함께, 전기적 성능의 차이가 없는지 테스트하고자 [그림 35]처럼 360 nm, 640 nm의 Pitch에서 Daisy chain 전기 테스트를 진행하였으며, 정상적으로 작동하는 것을 확인하였다. 이로써, 무기 IR 레이저 디본딩 기술을 기반으로 하는 향상된 공정을 통해, Hybrid bonding 분야에서 W2W 및 D2W 의 장점을 가진 기술을 개발하였음을 알 수 있었다.

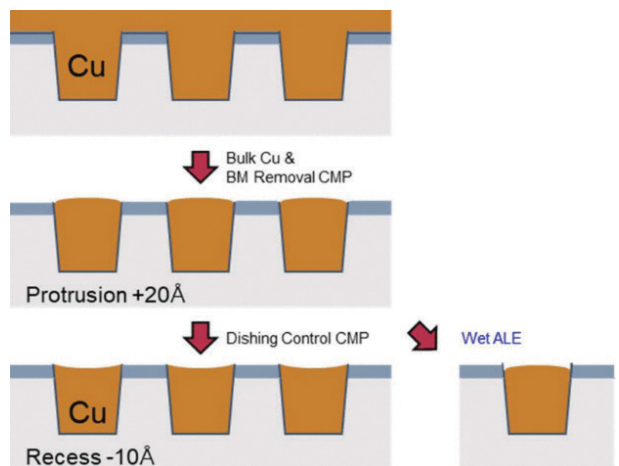


[그림 35] (a) SLT 공정을 통해 접합된 Chiplet section 과 (b) 해당 샘플의 Daisy chain 전기 테스트 결과

### 3. 삼성전자의 습식 ALE(Atomic layer etching) 공정

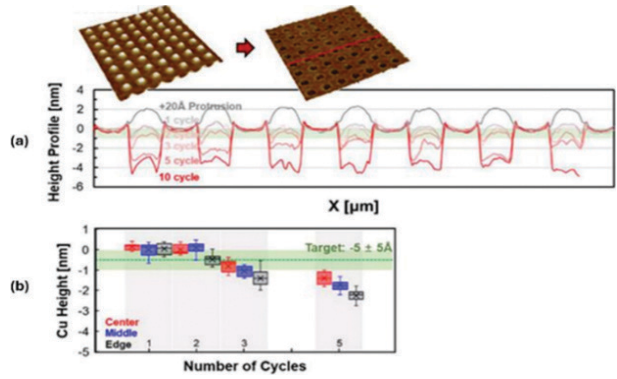
삼성전자는 절연층과 Cu의 높이 제어를 위해 필수인 CMP를 일부 대체할 수 있는 방법으로, 습식 ALE (Atomic layer etching) 공정을 제시하였다. 해당 연구에서는 0.4 μm Cu pad, 0.8 μm pitch의 Hybrid bonding 시편에서, 식각액 도포 시간, 유량, RPM, 농도를 제어하여 효과를 확인하였다.

습식 ALE는 매우 정밀한 식각이 진행되므로, [그림 36]와 같이 Barrier metal CMP까지 완료된 이후 진행되는 Cu의 Dishing 제어에 CMP 공정 대신 사용하는 것이 주된 용도이다. 한 식각 이후 IPA 세정을 진행하는 사이클을 반복하여 Cu의 표면 식각 상태 및 거칠기를 제어한다.



[그림 36] 삼성전자의 습식 ALE를 통한 Dishing 형성 공정의 흐름

사이클 단위로 분절화된 식각 공정을 통해, [그림 37]에서 볼 수 있듯이 사이클 당 1 nm 이내의 차이를 가진 Å 단위 표면 두께 제어를 실현하였으며, 10 사이클 이상 진행해도 SiCN 층에 데미지가 없는 것을 검증하여 CMP보다 '선택적 식각' 면에서 성능이 뛰어남을 확인하였다.

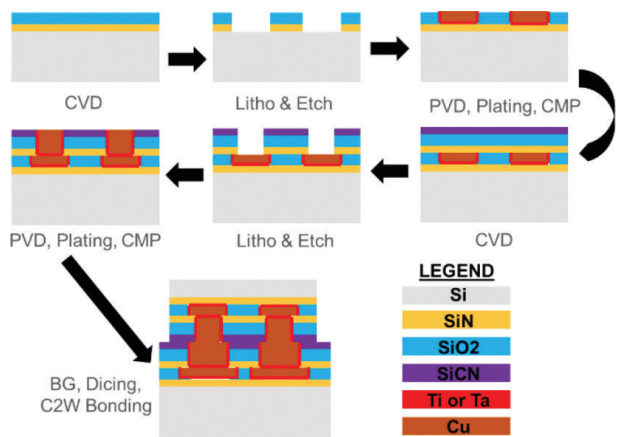


[그림 37] Cu/SiCN 구조에서 습식 ALE 사이클에 따른 (a) Cu/SiCN 구조의 높이 프로파일 및 (b) Cu의 Dishing 변화

#### 4. Applied materials의 Cu/SiCN Hybrid bonding을 위한 CMP

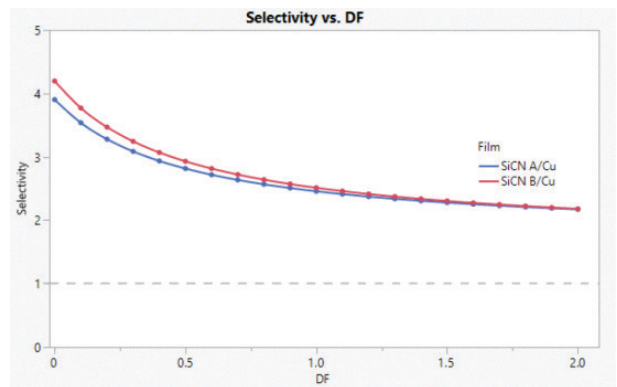
Applied materials는 이전부터 기존 산화물(SiO<sub>2</sub>) 절연층에 비해 높은 접합 강도를 가진 SiCN의 접합에 대해 관심을 가졌는데, 해당 연구에서는 Cu/SiCN 시편의 CMP와 그 이후 본딩 공정에 대해서 다룬다.

시편의 제작 과정, 공정 흐름의 모식도는 [그림 38]과 같다. Si 웨이퍼 위에 CVD를 통해 SiN과 SiO<sub>2</sub>를 증착, 이어서 포토 및 식각 공정으로 다마신을 위한 패턴을 만든다. 다마신은 PVD로 Ti or Ta를 증착하며, 전기 도금으로 Cu를 증착한다. 이후 CMP 공정으로 표면을 평탄화한다. 해당 연구에서는 해당 사이클을 반복하여 하단 RDL 층과 Cu pad를 형성하였다. Cu pad를 형성하는 사이클에서는 CVD 증착 시 마지막에 SiCN을 증착하여, D2W 접합 시 최외곽의 SiCN이 절연층 간의 접착층 역할을 하는 구조를 형성하였다.



[그림 38] C2W(D2W) 방식을 통한 Cu/SiCN 시편의 제조 공정 흐름

또한 Applied materials는 다양한 공정에 당사의 장비 및 시스템을 다수 적용하였는데, Cu 도금에서는 WLP 전해도금용 장비인 Nokota, CMP 플랫폼이 구성된 장비인 Reflexion LK, CVD 공정용 플랫폼 장비인 Producer 및 Insepra 시스템을 통한 SiCN 박막 증착을 적용한 공정을 진행하였다.



[그림 39] SiCN 증착 온도와 CMP 하중에 따른 Cu와 SiCN의 선택비

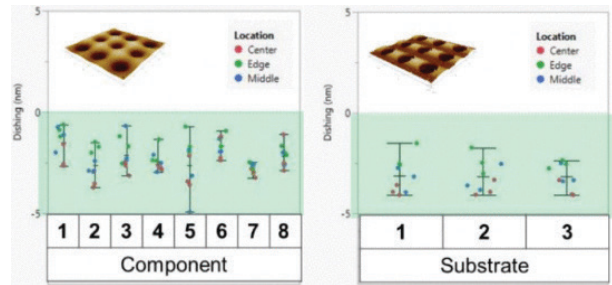
[그림 39]는 CMP 과정에서의 가해지는 하중 (Downforce, DF)에 따른 SiCN과 Cu의 선택비를 나타낸 그래프로, SiCN A(< 200 °C)와 B(< 300 °C)는 서로 다른 온도에서 증착한 SiCN이라는 차이를 가진다. 그래프 상에서, 압력이 2.0 psi 수준에서 2에 가까운 선택비로 수치가 안정화되었다.

CMP 이후, Hybrid bonding 공정 진행 시 적절한 접합이 이루어질 수 있는지 평가하기 위해 AFM 분석을 진행하였다. [그림 40]에서 나타나듯이, 3~5 μm 수준의 Cu pad 사이지를 가진 상단 시편과 하단 시편은 5 nm 이하의 Dishing을 나타내었다. 이를 통하여, Cu pad의 사이즈와 300~350 °C 수준의 접합 공정 온도를 고려할 때, 적절한 수준의 Dishing을 확인하였다.

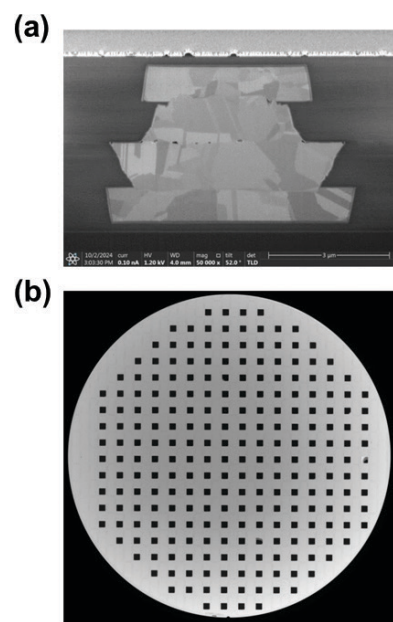
[그림 41(a)]는 Cu/SiCN 접합 계면의 Cross-sectional SEM 이미지로, CMP를 통한 적절한 dishing 형성이 고품질의 Cu-Cu D2W 접합을 이룰 수 있음을 보여준다. 또한, D2W 본딩 시편 전체의 품질을 평가하기 위해, [그림 41(b)]와 같이 CSAM 분석을 진행하여 어닐링 이후에도 시편들이 전체적으로 void 없이 준수한 접합 품질을 이루는 것을 확인하였다.

## 5. Applied materials의 플라즈마 다이싱 시 TiN 보호층 형성

Applied materials는 Hybrid bonding 공정의 신뢰성 및 수율을 위한 공정 조건들 또한 소개하였는데, 플라즈마 다이싱의 적용이 그 중 핵심이다. [그림 42]에서 볼 수 있듯이 플라즈마 다이싱은 블레이드를 이용하던 기존의 다이싱과 비교해 다이의 Edge에 데미지가 적어 오염과 Chipping의 부정적 영향이 크게 줄어든다. 또한, 플라즈마 다이싱의 적용 시 발생할 수 있는 F 영향과 표면 거칠기 변동을 방지하기 위한 TiN 보호층을 형성하였고, 이에 따른 접합 품질 차이를 테스트하였다.



[그림 40] 상단 시편(Component, 3 μm Cu pad) 및 하단 시편(Substrate, 5 μm Cu pad)의 CMP 후 Dishing을 나타내는 AFM

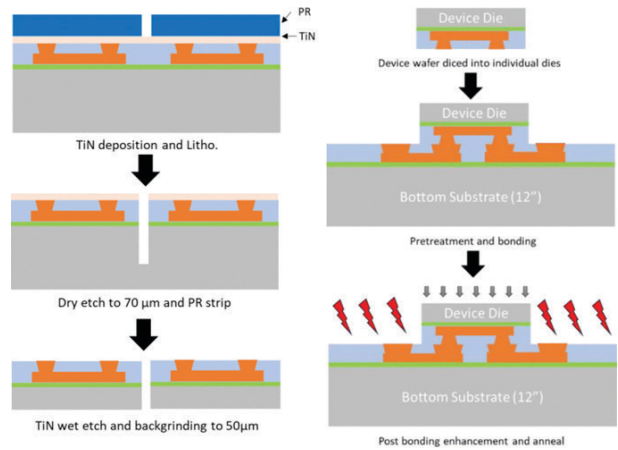


[그림 41] 350 °C에서 접합된 Cu/SiCN 시편의 (a) 단면 SEM 및 (b) CSAM

Dicing	AOI (>1.7um)	OM (Top)	OM (Side)	CSAM
Plasma Dicing	Defect 1906	Smooth Edge	Clean Side Wall	Void-free
Mechanical Dicing	Defect 4364	Rough Edge	Particles on Side Wall	Void/delamination

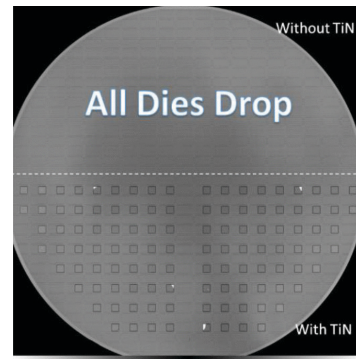
[그림 42] 플라즈마 다이싱과 블레이드 다이싱의 Edge 형상 비교

TiN 보호층은 [그림 43]의 공정 흐름을 따라 PVD로 시편의 표면에 200 Å 두께로 증착되었고, 이후 상단에 PR이 패터닝되었다. 플라즈마 다이싱과 TiN 보호층을 제거하기 위한 습식 식각이 진행된 후 백그라딩을 통해 D2W를 진행하기 위한 다이가 준비되었다. 준비된 웨이퍼와 다이는 플라즈마 등 친수성 표면처리를 진행하였고, 상온에서 D2W Hybrid bonding을 진행한 후에 350 °C에서 4시간 어닐링이 진행되었다.



[그림 43] TiN 보호층 증착을 포함한 플라즈마 다이싱 및 접합 공정 흐름

[그림 44]는 D2W 본딩 이후 CSAM 이미지로, TiN 보호층의 유무에 따른 접합 품질을 나타낸다. TiN 보호층 존재 시에는 대부분의 다이가 잘 접합되었으며, 112개의 다이 중 3~4개만이 눈에 띄는 Void가 관찰되었다. 그러나, TiN 보호층이 없는 경우에는 모든 다이가 미접합되었다.



[그림 44] TiN 보호층에 따른 접합 품질 차이를 나타내는 CSAM

이러한 접합 품질의 편차는 TiN 보호층에 따른 표면 거칠기 차이에서 기인한다고 평가하였다. [표 1]은 TiN 보호층의 존재 여부에 따른 플라즈마 다이싱 전후 표면 거칠기로, 0.12 nm 수준이었던 다이의 표면 거칠기가 보호층이 없을 시 0.65 nm까지 증가하는 것을 확인하여, 상온 접합 시 품질 저하가 일어날 수 있음을 검증하였다. 반면 TiN 보호층이 존재할 시에는 습식 식각을 통해 TiN을 제거하고 난 표면의 거칠기가 0.13 nm로 나타나, 다이 표면이 플라즈마 다이싱과 식각의 영향을 거의 받지 않음을 확인하였다.

Sacrificial Layer	Surface Roughness (nm)		
	Pre TiN Deposition	Post Dry Etch	Post TiN Wet Etch
With TiN	0.12	1.26	0.13
Without TiN	0.12	0.65	-

[표 1] 플라즈마 다이싱 전후 TiN 보호층의 존재 여부에 따른 표면 거칠기

결론적으로, 안정적인 D2W Hybrid bonding을 위해 플라즈마 다이싱을 적용할 때, 표면 손상을 방지하는 TiN 보호층의 존재는 접합 품질을 크게 향상시켜 줄 수 있음을 확인하였다.

## 6. Toray와 A\*STAR의 Cu/Polymer Hybrid bonding

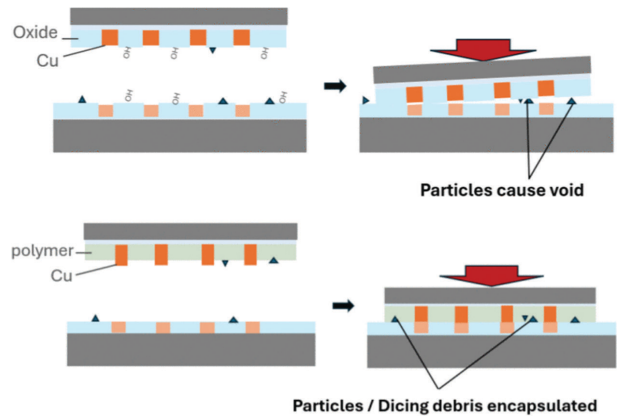
Toray는 A\*STAR(싱가포르 과학기술연구청)와 함께 Hybrid bonding 시편의 표면 오염 내성 및 세정 공정의 간소화가 가능하도록 고분자 절연체 기반의 Hybrid bonding 연구를 진행하였다.

Hybrid bonding의 절연층으로 무기물을 사용할 경우, 더 미세한 Pitch를 구현할 수 있으나 [그림 45]와 같이 파티클 오염에 취약하고 표면 거칠기에 큰 영향 ( $R_a < 0.3 \text{ nm}$ )을 받는다. 특히 D2W 방식의 경우 다 이싱이 표면 오염도에 큰 영향을 미치는데, 고분자 절연층은 이러한 표면 오염과 결함에 강한 내성을 가지고 있다.

Toray와 A\*STAR는 이러한 특성을 기반으로, PI 기반 저온 경화성 고분자를 절연층으로 Hybrid bonding에 적용하였는데, 그 설계 목표와 실제 물성은 [표 2]와 같다. 저온 Hybrid bonding을 달성하기 위해, 경화 온도는  $250 \text{ }^\circ\text{C}$  이하를 목표로 하여  $230 \text{ }^\circ\text{C}$ , 1 h의 조건으로 설정하였으며,  $T_g$ 는 복합 구조로 인해 150,  $280 \text{ }^\circ\text{C}$ 의 두 구간을 가진다. 또한, 55 ppm/K의 비교적 높은 CTE와 높은 신율, 준수한 모듈러스를 가진다.

시편의 제조 공정은 우선 하단 RDL 형성을 위한 단계로  $\text{SiO}_2$  증착 및 식각, Cu 도금 및 CMP가 이루어지며, 이후 포토 공정을 통한 Cu pad의 형성과 폴리머 절연층의 코팅, CMP로 이어진다[그림 46]. 제조된 시편은 CMP에 따른 Cu/Polymer의 높이 차이, 다이싱 및 파티클 검증을 위한 Automated optical inspection(AOI)를 거친 후 접합을 진행하였다. 접합 과정은  $200\text{-}250 \text{ }^\circ\text{C}$ 에서 진행되었으며 접합 압력과 시간 또한 조절되었고, 상세한 조건은 [표 3]과 같다.

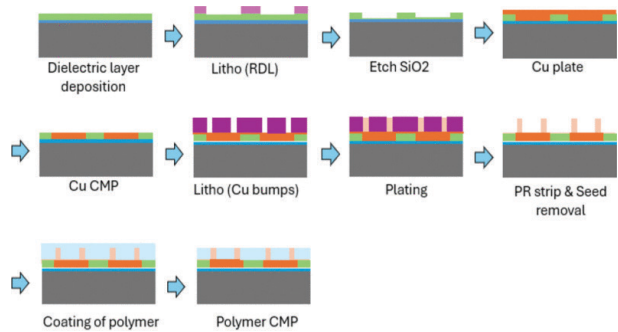
접합 품질은 3번 조건( $250 \text{ }^\circ\text{C}$ ,  $250 \text{ N}$ ,  $30 \text{ s}$ )에서 가장 뛰어남을 확인하였으며, 이는 [그림 47]의 단면 SEM 이미지와 CSAM으로 평가되었다. 전기적 작동 여부를 확인하고자 Daisy chain 테스트를 진행한 결과, [그림 48]과 같이 웨이퍼 위에 접합한 80개의 다이 중 8개의 불량률이 확인되어 90%의 수율이 확인되었다.



[그림 45] 무기물 절연층 기반 시편과 고분자 절연층 기반 시편의 Hybrid bonding 공정에서 표면 오염의 영향성 비교

	Design Target	Actual parameters
Curing condition	$< 250 \text{ }^\circ\text{C}$	$230 \text{ }^\circ\text{C}$ for 60 mins
$T_g$ ( $^\circ\text{C}$ )	$> 200$	150, 280
$T_d5$ ( $^\circ\text{C}$ )	High	350
CTE (ppm/K)	Low	55
Elongation (%)	--	100
Modulus (Gpa)	--	1.7
Design	--	Low modulus typer

[표 2] Toray와 A\*STAR가 설계한 Hybrid bonding용 고분자의 설계 목표 및 실제 물성



[그림 46] 접합면 절연층으로 고분자를 사용하는 Hybrid bonding 시편의 공정 흐름

Case #	Bond Head temperature	Force	Time
1	$200 \text{ }^\circ\text{C}$	$100 \text{ N}$	$10 \text{ sec}$
2	$250 \text{ }^\circ\text{C}$	$200 \text{ N}$	$20 \text{ sec}$
3 ✓	$250 \text{ }^\circ\text{C}$	$250 \text{ N}$	$30 \text{ sec}$

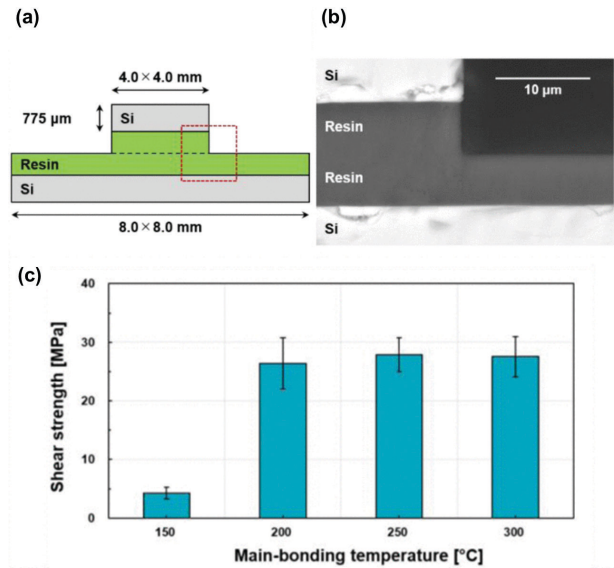
[표 3] Cu/Polymer Hybrid bonding의 접합 조건



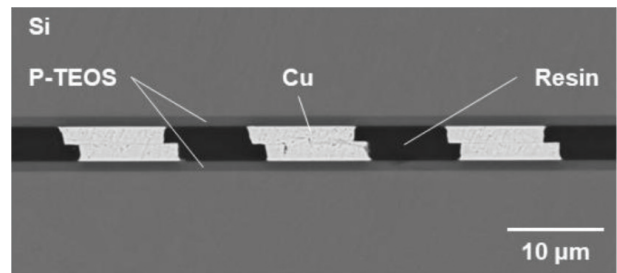
수지를 웨이퍼에 스프인 코팅을 통해 도포하고, 100 °C에서 3 min 베이킹 후 155 °C에서 반경화가 진행되었다. 이후 반경화 시간에 따라 CMP 이후의 표면 형상과 거칠기를 확인하였다[그림 49]. CMP 시 반경화 시간에 따라 나타나는 연마율의 차이는 소재의 가교도가 경화 시간에 따라 크게 달라진다는 것을 알 수 있게 해주고, 가교도와 무관하게 표면 거칠기는 균일하게 0.5 nm 수준이 나온다는 것을 알 수 있었다.

반경화 LB-2110이 코팅된 시편은 접합을 위해 [그림 50(a)]와 같이 준비되었다. 접합 공정은 150 °C에서 10 s 동안 0.5 MPa로 가접합되었고, 150, 200, 250, 300 °C의 온도에서 1 min간 2.0 MPa 조건으로 접합이 진행되었다. [그림 50(b)]의 단면 SEM 이미지와 같이 시편은 모든 조건에서 공극 없이 잘 접합되었고, [그림 50(c)]와 같이 접합력 테스트 결과 반경화 온도와 가까운 150 °C 접합 조건에서는 약 5 MPa 수준의 접합 강도를 보였으나, 200 °C 이상의 공정 온도에서는 25 MPa 이상의 높은 접합 강도가 균일하게 나타났다. 이러한 접합 공정은 1000 클래스 수준의 클린룸에서 진행되었음에도 뛰어난 품질의 접합을 나타내어, 고분자 계열 절연체가 파티클 등 오염에 강하다는 것을 강조하였다.

LB-2110을 이용하여 20 μm pitch, 10 μm pad size를 가지는 Cu/Polymer Hybrid bonding 시편이 제조되었다. 접합 공정은 180 °C, 10 s, 1.0 MPa 가접합 이후 300 °C, 1 h, 2.0 MPa 조건으로 진행되었다. [그림 51]에서 확인할 수 있듯, 접합은 성공적으로 진행되었으며 Cu와 LB-2110의 계면 모두에서 공극이 관찰되지 않았다.



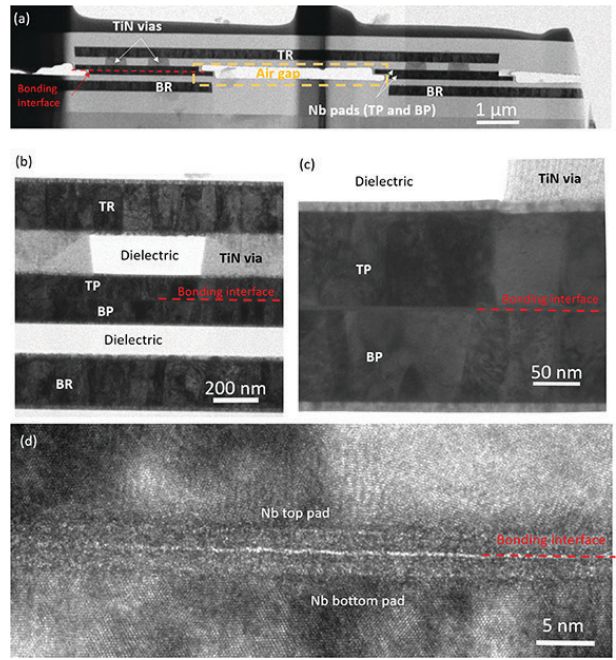
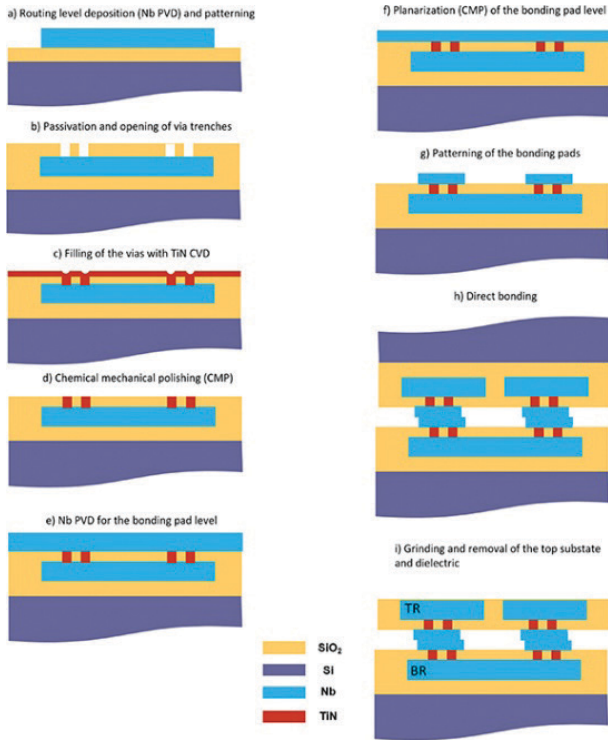
[그림 50] (a) LB-2110의 접합력 테스트를 위한 시편, (b) 접합 시편의 단면 SEM, (c) 접합 온도에 따른 접합 강도



[그림 51] Cu/Polymer Hybrid bonding 시편의 단면 SEM

## 8. CEA-LETI의 미세 Pitch Nb-Nb direct bonding

μ-bump가 Cu 기반 Hybrid bonding으로 대체되고 있듯, 양자 컴퓨팅과 초전도 분야 또한 기존 연구되던 인듐(In) μ-bump의 Pitch 한계를 넘어 Sub-micro pitch에 도달하기 위한 소재로 Nb-Nb direct bonding에 대한 연구가 이루어지고 있다.



[그림 53] Nb-Nb direct bonding의 단면 TEM

[그림 52] CEA-LETI의 Nb-Nb direct bonding 공정 흐름

[그림 52]는 CEA-LETI에서 개발한 양자 컴퓨터를 위한 고밀도 초전도 Interconnection인 Nb-Nb direct bonding 기술의 공정 모식도이다. 공정 과정은 열산화된 200 mm 웨이퍼 위에 Nb PVD로 200 nm 두께의 층의 형성과, TEOS 기반 PECVD로 SiO<sub>2</sub> 증착으로 진행되었다. 이후 포토 공정을 통해 패터닝하여 CVD로 500 nm의 TiN via를 형성하고, CMP와 Nb PVD를 반복하여 0.1 nm의 R<sub>q</sub> 값을 가지는 매끄러운 Nb 표면을 얻어낸 후, 식각을 통해 형성한 Nb pad를 서로 접합하는 과정으로 이루어진다.

[그림 53]은 Nb-Nb direct bonding 및 400 °C 열처리를 통해 확산 접합을 진행한 이후의 TEM 이미지이다. Nb-Nb 접합이 진행되었으나, 접합면에 산화막 층이 약 3 nm 정도 잔여함이 확인되었다.

## ○ 결론

현재까지 HBM과 2.5D SiP 등의 첨단 반도체 패키지 제품은 TSV와  $\mu$ -bump로 배선 및 적층을 진행하는 방식으로 제조되어왔다. 그러나 Bump를 쌓는 기존 방식은 Bump 사이를 충전하는 절연 소재의 낮은 열전도도 및 Bump의 구조적 제약으로 인한 성능 향상의 한계라는 문제점을 가진다. 대표적으로 HBM 제품의 단수가 현행 16단보다 훨씬 높아질 경우, Hybrid bonding 기술을 적용한 고성능, 고효율 반도체 패키지의 제조가 필수적이다. 하지만, 실제 Hybrid bonding을 Interconnection으로 활용하여 첨단 반도체 패키지 제품에 적용하기 위해서는 앞서 살펴본 것과 같이 해결 및 개선해야 할 기술적 난제들이 여럿 존재한다.

Hybrid bonding의 첨단 반도체 패키지 적용을 위해 기업들이 개발 중인 최신 기술들로는 W2W와 D2W의 장단점인 Throughput과 수율의 Trade-off를 해결하고자 하는 공정법 개발, Cu 및 절연 소재의 Dishing 제어 효율성을 위한 CMP 대체 공정의 개발, D2W 공정 개선을 위한 신규 공정인 플라즈마 다이싱의 개선 기술, 산화물 절연체에서 발생하는 오염의 영향성을 줄이기 위한 고분자 계열 절연체 개발 기술 등이 존재하였으며, 다양한 기술들을 반도체 제조, 장비 및 소재 회사들이 지속적으로 개발하고 있다.

이와 같은 요소기술들의 지속적인 개발을 통해 Hybrid bonding 공정의 품질, 신뢰성은 나날이 개선되고 있으며, 첨단 반도체 패키지 제품 중 우선적으로 HBM에 이르면 2029년 내에 적용되리라 예상한다. 더불어, 2.5D SiP를 넘어 HBM과 Logic을 수직으로 Hybrid bonding을 통해 연결한 3D와 이를 다시 Interposer를 통해 연결한 3.5D SiP 기술을 통해 첨단 AI, IoT, 자율주행 등 4차산업시대에 활용될 최고 성능의 반도체 제품에 적용될 반도체 패키징 기술이 개발될 것으로 기대한다.



