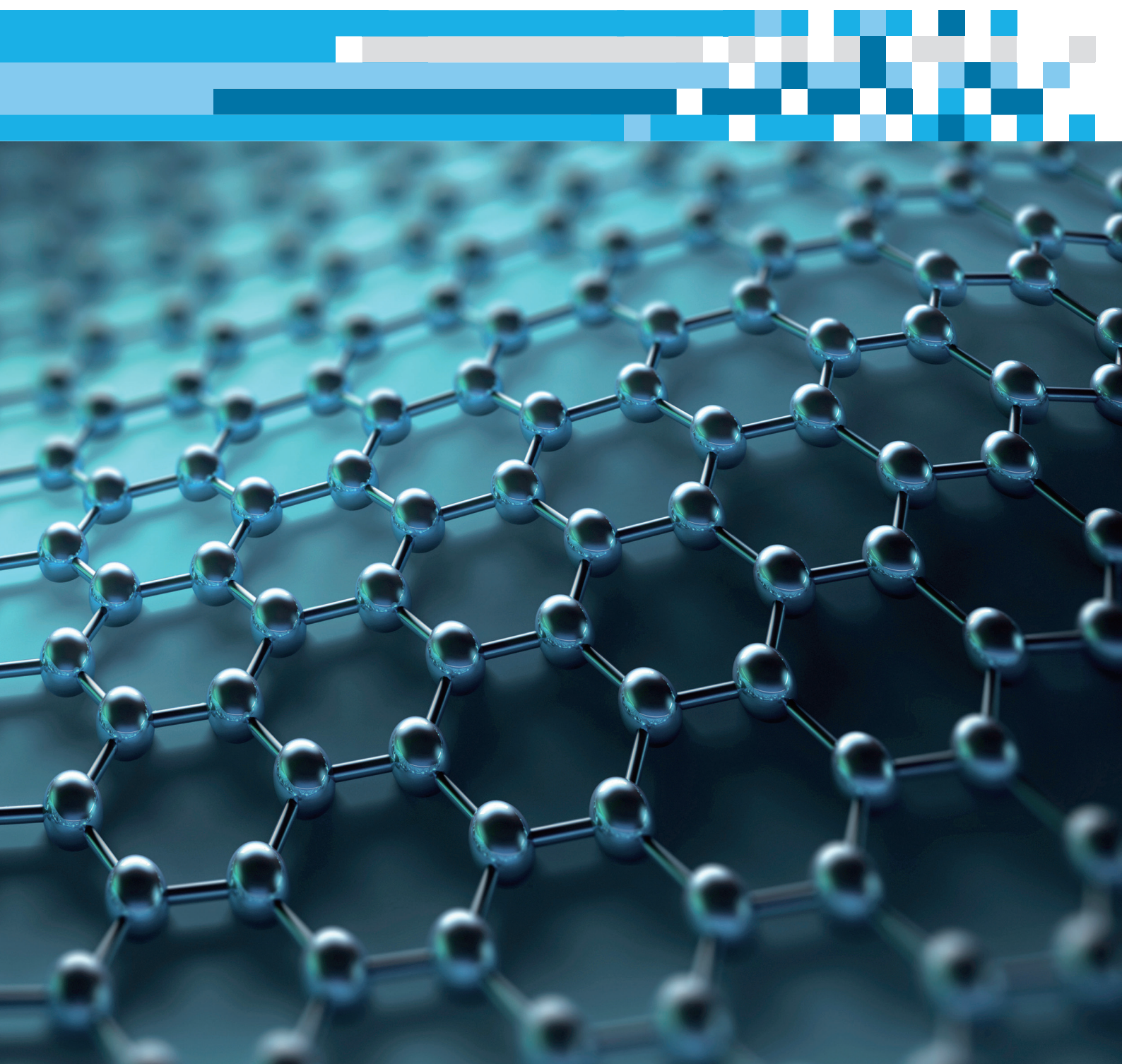
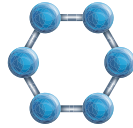


3D나노융합소재연구센터 기술리포트

2023년 11월호





3D나노융합소재연구센터 기술리포트

2023년 11월호





Contents

02 서론

04 H2.5D, 3D 첨단 패키징 기술

09 요소 기술

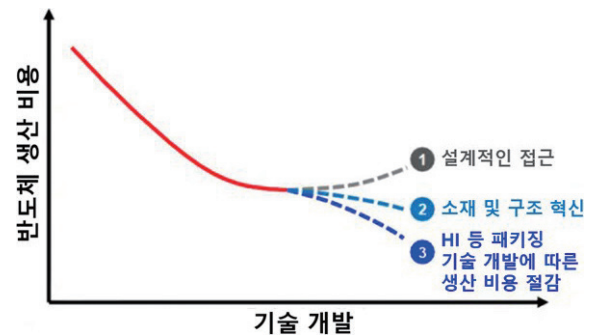
첨단 패키징 공정 최신기술 동향 및 요소 기술 발굴



○ 서론

애플이 TSMC의 3나노 (nm·10억 분의 1m) FinFET 공정이 최초로 적용된 최근 선보인 아이폰15 상위 모델인 프로 시리즈가 1차 출시국 사용자들 사이에서 발열과 내구성 문제에 휘말리며 논란이 되고 있다. 업계에 따르면 아이폰 15 프로 시리즈의 비정상적인 발열과 전작보다 약한 내구성 등을 비판하고 나섰다. 아이폰 15 프로의 테스트 결과를 공개했는데, 고사양 게임을 30분 이상 구동 시 제품 온도가 최대 48.1도까지 올라갔다. 프로맥스도 45도를 넘었다. 보통 스마트폰은 고사양 게임을 장시간 구동 시 발열이 심해지긴 하는데, 48도는 다소 심한 것으로 업계는 보고 있다. 삼성전자도 2021년의 갤럭시 S21 시리즈 발열 문제, 2022년의 GOS 이슈로 신뢰도에 큰 타격을 입은 바가 있다. 이와같이 반도체 소자의 단순 미세화에 따른 성능 발전 방식 한계에 봉착함에 따라 저전력, 고성능 구동 조건을 충족하는 고집적 소자 구현을 위한 패러다임의 변화를 요구하고 있다.

[그림 1]은 현재의 반도체 미세화 방식이 갖는 설계 기술 및 제조 공정의 고비용·고난이도에 따른 경제적 효율성 저하를 극복하기 위하여 기존 방식의 대신 패키징에서 Chiplet 기술 등을 이용하여 반도체 생산 비용을 감소시킬 수 있어 새로운 대안으로 제시하고 있다.



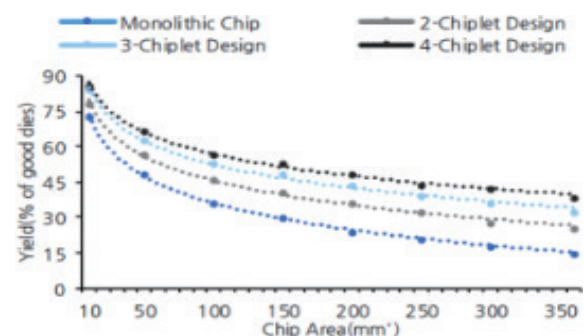
[그림 1] 반도체 제조 산업 패러다임의 변화

[표 1]에서 선단 공정의 Wafer Revenue를 보면 10 nm 공정 \$6,000 에서 3 nm 공정 \$20,000을 요구하고 있어 Wafer 12 inch, Chip 500개, 수율 70% 기준으로 Chip 단가 상승이 3배 이상으로 증가하고 있다.

Process Node	10 nm	7 nm	5 nm	3 nm
Wafer Revenue	\$6,000	\$10,000	\$16,000	\$20,000

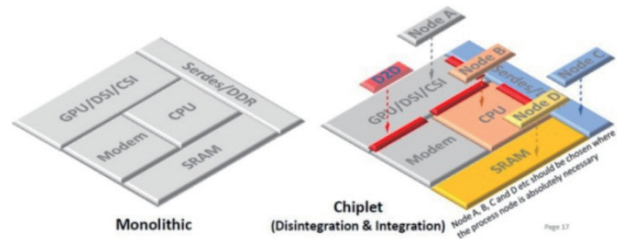
[표 1] 반도체 제조 산업 패러다임의 변화

[그림 2]는 Chip Size가 커지면 양품 수율이 감소하게 되는데, Monolithic Chip의 경우 훨씬 더 감소 폭이 커지게 되어 Chiplet을 활용한 Chip 원가 개선을 위하여 Fabless 업체들이 지속적으로 기술 개발을 요구하고 있다.



[그림 2] 반도체 제조 산업 패러다임의 변화

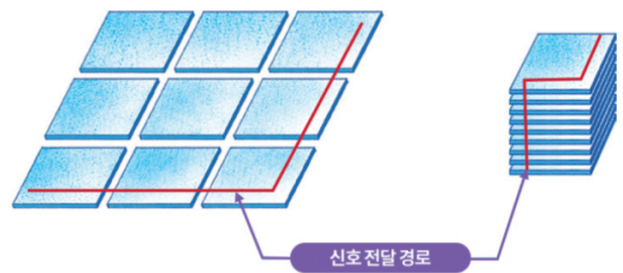
[그림 3]은 Mobile AP의 주요 구성을 보면 CPU, GPU, SRAM/IO, Modem/DSI/CSI, Serdes/DDR로 구성되어 있는데 Monolithic은 Logic 3 nm 공정으로만 One chip으로 만들다 보니 Chip Size가 커지게 되어 공정개발 완료 후 초기 수율이 낮고, 수율이 Ramp-up 되는 시간도 Delay 될 뿐만 아니라 양품 포화 수율이 낮아지게 되어 Chip 공급 Delay 및 Chip 단가가 상승하는 요인이 되고 있다.



[그림 3] Chiplet의 개념도

이런 수요 요청에 의해 예를 들면, CPU, GPU, Modem/DSI/CSI는 3 nm 공정, SRAM/IO는 5 nm 공정, Serdes/DDR는 7nm 공정으로 각 Chip으로 만든 후에 패키징 공정에서 각 Chip을 TSV, Interposer, Micro-Bump, Cu to Cu Hybrid Bonding, Si Wafer Thinning 기술 등으로 Logic, HBM 등을 One Chip화 시키는 Chiplet 기술 개발을 요구하고 있다.

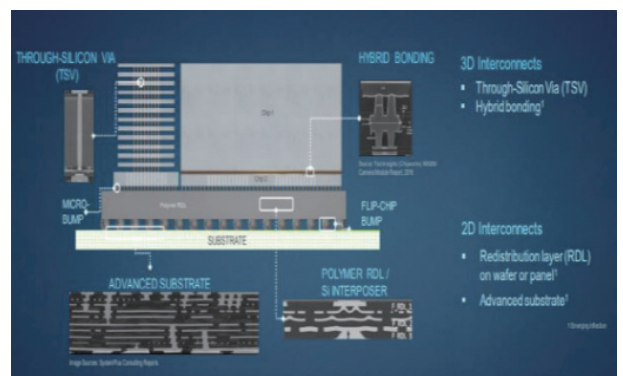
[그림 4]에서 Chiplet의 전기적 특성도 Monoly Chip은 배치 배선을 평면상에서만 하는데, 3D 패키징은 수직으로 쌓기 때문에 하나의 Chip에서 만드는 것보다 오히려 모듈 간 거리가 더 짧을 수도 있다. 이런 병렬적인 연결을 통하여 I/O를 증가시키고, latency를 줄이고, 필요한 Power를 낮출 수 있으면 30배 정도 Power를 낮출 수 있다고 한다. 따라서 3D Stacking을 통해서 패키징당 여러 Chip을 올리고 High Bandwidth를 만들면 50% 정도 Power를 낮추고, 3배 가량 System Performance을 향상 시킬 수 있다.



[그림 4] SoC와 TSV를 이용한 칩 적층 SiP의 신호 전달 경로 길이 비교

이러한 첨단 패키징(Advanced package) 기술은 2.5D 패키징 및 3D 패키징으로 구분 할 수 있다. 2.5D 패키징은 두 개 이상의 반도체 칩을 Silicon interposer에 나란히 배치하여 매우 높은 die-to-die interconnect density를 달성 가능하며, 3D 패키징은 두 개 이상의 반도체 칩을 수직적으로 쌓아서 통합 합니다. 3D 패키징은 더 가깝기에 Power, Area, Performance가 2.5D 패키징보다 강점이지만, 제조 공정이 난이도가 상대적으로 높다.

[그림 5]와 같이 최종으로는 2.5D 패키징 및 3D 패키징이 통합해서 One Chip으로 구현하는 방식으로 발전되리라 예상된다. 이러한 첨단 패키징의 도입으로



[그림 5] 2.5D와 3D패키징의 통합

다양한 칩을 하나의 소자로 통합이 가능 해지며, 전기적 연결과 반도체 소자의 보호가 목적이었던 전통적인 패키징 기술을 대체 할 뿐만 아니라 패키징 시장도 2026년까지 960억 달러 (약 138조원) 규모로 성장할 것으로 예상되고 2026년에 처음으로 첨단 패키징이 기존 컨벤셔널 패키징 시장을 추월 할 것으로 전망 되어 첨단 패키징이 고부가가치를 구현하는 산업 내 핵심경쟁력으로 부상하고 있다.

○ 2.5D, 3D 첨단 패키징 기술

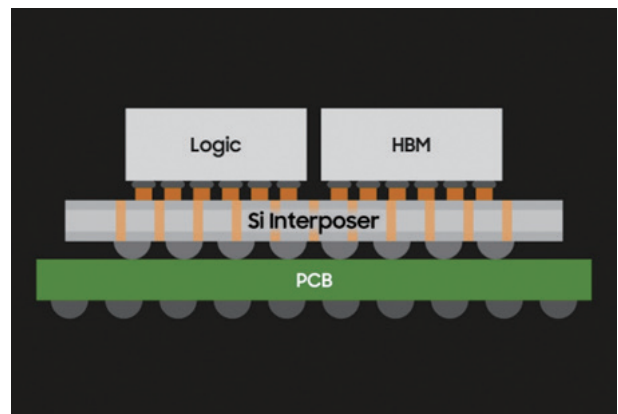
삼성, TSMC, 인텔 회사 별로 Benchmarking 하여 첨단 패키징 보유 기술 및 다음 세대에 개발이 필요한 패키징 기술을 예측, 검토하고자 한다.

1. Samsung's Packaging technology

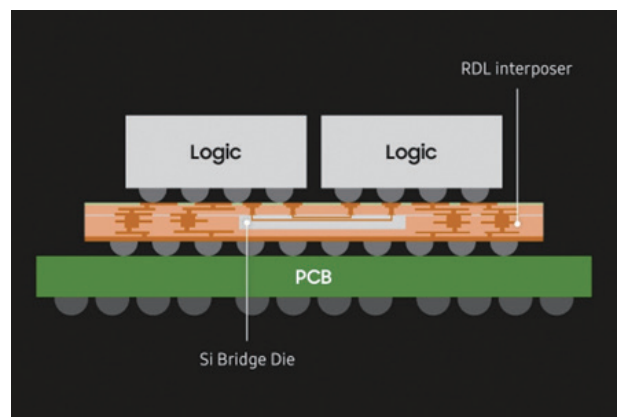
[그림 6]은 삼성전자의 I-cube로 로직다이와 HBM(high bandwidth memory) 다이를 TSV (through silicon via)를 사용하는 실리콘 인터포저 (si-interposer) 위에 수평으로 배치하여 여러개의 다이가 하나의 패키지에서 하나의 반도체 처럼 동작하게 하는 이종 집적화(Heterogeneous Integration) 패키지 기술이다.

이러한 구조를 통해 I cube는 여러 가지 장점을 가진다. 먼저 실리콘 인터포저를 사용함으로써 구동에 필요한 전력을 안정적으로 공급 할 수 있었으며 배선의 초미세화로 반도체의 성능을 극대화 할 수 있다. 또한 몰드를 사용하지 않는 구조를 적용해 열을 효율적으로 방출 할 수 있다.

삼성전자에서는 TSV를 사용하지 않고 실리콘 브릿지와 RDL(re distribution layer) 인터포저를 사용하여 멀티칩을 연결하는 구조이다. 이러한 구조를 삼성전자의 I-cube E라고 하며 [그림7]에서 구조를 확인할 수 있다.



[그림 6] 삼성전자 I-cube S

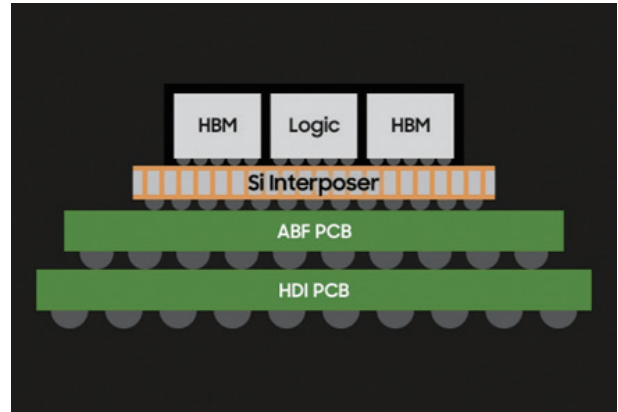


[그림 7] 삼성전자 I-cube E

이러한 I cube 기술은 고대역폭 데이터 전송과 고성능 시스템 반도체를 요구하는 HPC, AI/클라우드 서비스, 데이터 센터 등에 활용 될 수 있을 것으로 보인다.

[그림 8]은 삼성전자의 H-cube로 I-cube와 유사하게 실리콘 인터포저 위에 CPU, GPU등의 로직과 HBM을 배치한 2.5D 패키징 구조로 구성된다.

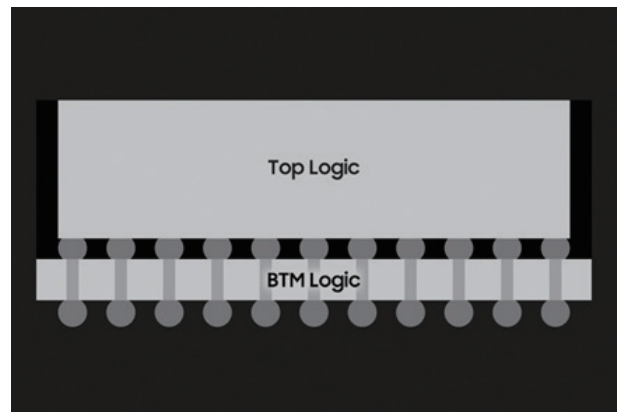
차이점으로는 고사양 특성 구현이 용이한 메인 기판 아래, 대면적 구현이 가능한 보조기판을 사용하는 2단 하이브리드 패키징 구조로 로직과 함께 HBM을 6개 이상 효율적으로 탑재 가능하다는 장점을 가진다. 또한 다수의 로직과 HBM을 적층하면서도 칩에 안정적인 전원을 공급하고 신호의 손실이나 왜곡을 최소화 할 수 있도록 칩 분석 기술을 적용하였다.



[그림 8] 삼성전자 H-cube

[그림 9]의 삼성전자의 X-cube는 전공정을 마친 웨이퍼 상태의 복수의 칩을 위로 얇게 적층해 하나의 반도체로 만드는 기술로 3D package 구조이다.

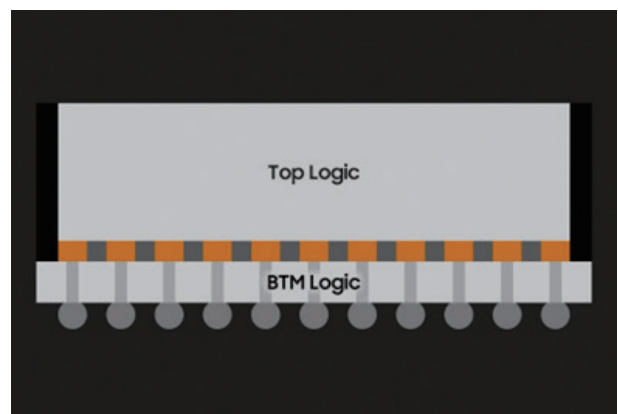
핵심 기술로는 TSV와 마이크로 범프가 있으며, 이를 이용하여 칩과 칩을 수직적으로 적층한 구조이다. 이러한 구조로 X-cube는 몇 가지의 장점을 가진다. CPU, GPU 등의 로직과 S램을 단독으로 설계, 생산하여 수직적으로 적층하여 크기를 줄이고 처리 속도와 전력 효율은 높여 지연시간을 최소화 할 수 있다. 또한 고용량의 메모리 솔루션을 장착하여 고객의 설계 자유도를 높일 수 있다.



[그림 9] 삼성전자 X-cube (μ-bump)

[그림 10]는 삼성전자에서 개발 중인 X-cube에 μ-bump 대신 hybrid copper bonding을 이용하여 개별 칩을 수직으로 적층하는 구조로 Cu-Cu 하이브리드 본딩을 이용함으로써 기존 적층 기술과 비교했을 때 더욱 미세한 피치를 가지므로 레이아웃 관점에서 이점을 얻을 수 있다.

X-cube는 슈퍼컴퓨터, 인공지능, 5G등 고성능 시스템 반도체를 요구하는 분야, 웨어러블 기기 등에 활용 될 것으로 보인다.



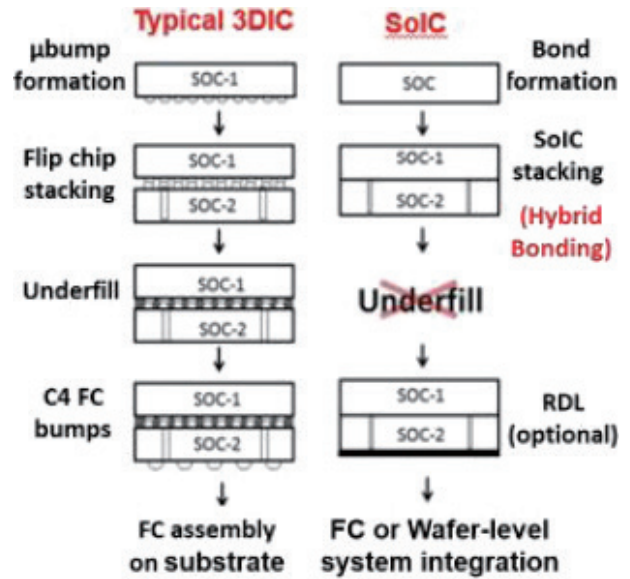
[그림 10] 삼성전자 X-cube (hybrid bonding)

2. TSMC's Packaging technology

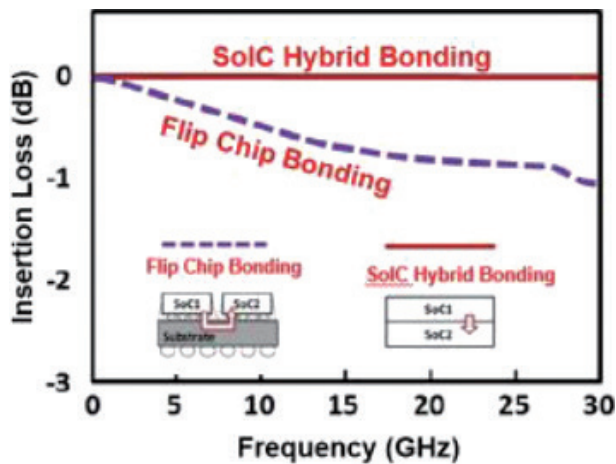
1) SoIC

[그림 11]은 TSMC의 SoIC (System on Integrated Chip)를 바탕으로 CoWoS (Chip on Wafer on Substrate), InFO (Integrated Fan-Out) 공정을 진행한다. SoIC는 Underfill이 사용되지 않고 Cu-to-Cu 하이브리드 본딩을 이용하여 WoW (Wafer-on-Wafer), CoW (Chip-on-Wafer), CoC (Chip-on-Chip) 방식으로 수직 적층하는 기술이다.

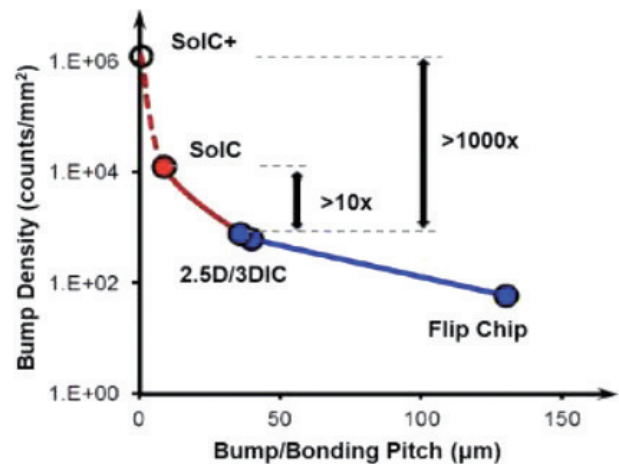
[그림 12]에서 SoIC 공정은 기존 FC (Flip-Chip) 공정 대비 전기적으로 성능이 고주파에서의 삽입 손실이 특히 더 우수함이 확인되었다.



[그림 11] FC와 TSMC SoIC process flow 비교



[그림 12] TSMC insertion loss

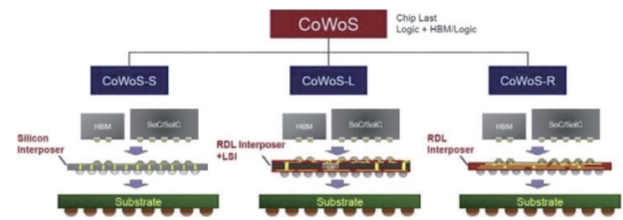


[그림 13] SoIC 공정의 Bump Density, Pitch

[그림 13]은 SoIC 공정과 FC 공정을 비교하였을 때, SoIC 공정은 삽입 손실을 최소화하며, Cu-to-Cu 하이브리드 본딩을 이용하여 Bump의 고밀도, Pitch의 초미세화가 가능함을 확인할 수 있다.

2) CoWoS

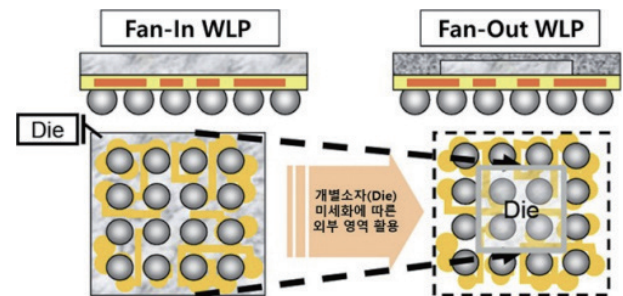
[그림 14] CoWoS 공정은 Interposer를 상용화한 공정으로 CoWoS-S, L, R 방식으로 나뉘어진다. CoWoS-S는 Silicon interposer를 사용하였고, CoWoS-L은 RDL interposer와 LSI (Local Silicon Interconnect)를 사용, CoWoS-R은 RDL interposer를 사용하였다. Silicon interposer 대신 RDL interposer를 사용하면 원가를 절감할 수 있지만, 유기 interposer는 고밀도 재배선층 구현이 어렵다는 단점이 있다.



[그림 14] CoWoS-S, L, R 공정 비교

3) InFO (Integrated Fan-Out)

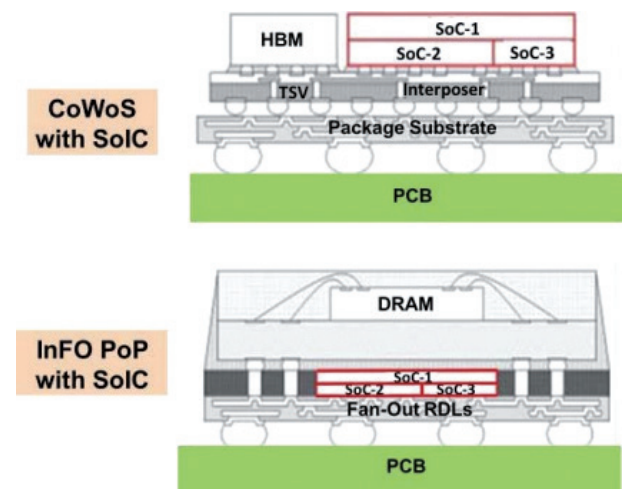
[그림 15] FIWLP와 FOWLP의 비교 한 것으로 WLCSP (Wafer Level Chip Scale Package)는 RDL 배선이 칩 안쪽으로 형성되는 FI (Fan-In) 기술과 칩의 바깥 영역까지 확장된 FO (Fan-out) 기술로 나뉜다. 90 nm 공정에서 주로 사용되었던 FI 기술은 45 nm 이하부터 I/O 단자의 고밀도화로 인해 개별 IC에 RDL과 Bump 들을 배열할 공간이 부족한 문제가 발생하였고, IC 면적 외부까지의 공간을 활용할 수 있는 FO 기술이 개발·적용되었다. TSMC는 16년 InFO (Integrated Fan-Out)를 사용하여 iPhone용 AP를 패키징한 이후 많은 주목을 받고 있다. FO의 가장 큰 특징은 1) 임시 캐리어가 필요, 2) RDL을 가공해야 한다는 것이다.



[그림 15] FIWLP와 FOWLP의 비교

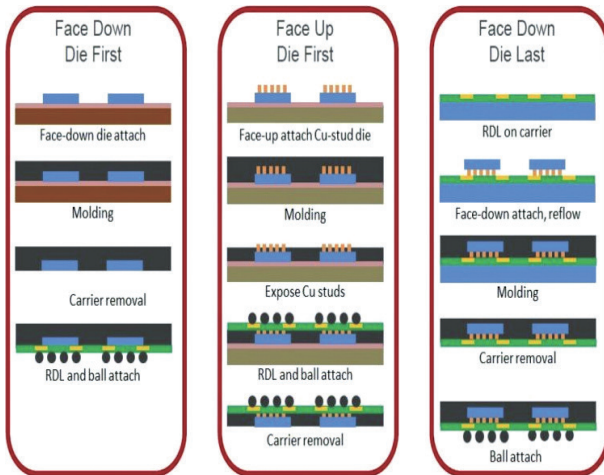
[그림 16]를 통해 CoWoS와 InFO Packaging 단면을 확인할 수 있다.

[그림 17, 18]은 FOWLP의 Process flow를 Chip-first and die face-down 방식과 Chip-first and die face-up 방식, Chip-last(또는 RDL-first) 방식으로 구분해두었다. Chip-first and die face-down 방식은 공정이 간단하며 생산비용이 저렴하다. 반면에, Chip-last 방식은 가장 복잡하고 생산비용이 높다. face-down에서 face-up, Chip-last 방식으로 갈수록 process step이 많아지며 비용이 높아 지지만, 이에 따라 고밀도, 고성능을 보여준다.



[그림 15] FIWLP와 FOWLP의 비교

[그림 16]으로 수정



[그림 17] FOWLP 공정의 process flow의 따른 차이

FAN-OUT PACKAGING FORMATIONS' COMPARISON

	Chip-First (Face-Down), e.g., eWLB	Chip-First (Face-Up), e.g., In_FO	Chip-Last (RDL-First), e.g., SiWLP
Chip Size	$\leq 5 \times 5\text{mm}^a$	$\leq 12 \times 12\text{mm}^a$	$\leq 20 \times 20\text{mm}$
Package Size	$\leq 10 \times 10\text{mm}^b$	$\leq 25 \times 25\text{mm}^b$	$\leq 45 \times 45\text{mm}$
RDL (Metal L/S)	$\geq 10\mu\text{m}^{a,b}$	$\geq 5\mu\text{m}^{a,b}$	$\geq 2\mu\text{m}$ or $< 1\mu\text{m}^c$
RDL (Layers)	≤ 3	≤ 5	≤ 8
Wafer bumping	No	No	Yes
Chip-to-substrate bonding	No	No	Yes
Underfill or MUF	No	No	Yes
Build-up package substrate	No	No	Yes
Process steps	Simple	Slightly more	More
Cost	Low	Middle	High
Performance	Low	Middle	High
Applications	Baseband, MCU, RF/analog, PMIC, etc.	Apple's Application Processor chipset	Very high- performance and high-density Not in HVM

^aLimited by die shift; ^bLimited by warpage; ^cWith PECVD + Cu damascene + CMP

[그림 18] 각기 다른 process flow FOWLP 특성비교

3. Intel's Packaging technology

인텔은 EMIB (Embedded multi-die interconnect Bridge) 기술을 발전시켜 3D 패키징 적층 기술인 Foveros를 발표하였다. [그림 19]

EMIB는 실리콘 인터포저 (Si interposer)가 BGA (ball grid array)에 내장되며 소비전력 절감에 장점을 보인다. 범프 사이즈를 1세대부터 3세대까지 $55\mu\text{m}$ 에서 $40\mu\text{m}$ 까지 줄인 제품을 선보였다. 인텔은 더 나아가 3D 다이적층 기술인 Foveros를 발표하였다.

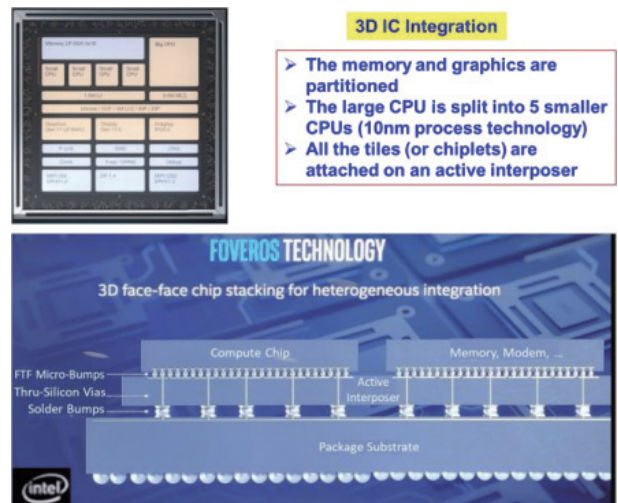
[그림 20]을 보면 Logic과 Logic을 적층하는 기술이며, 마이크로 범프는 Cu 필러와 SnAg 솔더 캡으로 구성되어있다. 베이스 칩과 기판은 C4 범프로 연결되어 있으며 기판과 PCB는 솔더 볼로 연결되어 있다.

I/O 밀도와 pitch 사이즈 감소에 대응하는 기술을 인텔에서는 개발하였고 제품으로 출시할 계획을 가지고 있다. Foveros Omni는 마이크로 범프를 이용하는 기술이며 [그림 21]을 보면 TSV를 쓰지 않아도 되는 부

분을 구리 기둥으로 대체하였다. TSV를 우회하여 전력과 신호를 상단 다이에 직접 전송해서 신호 무결성을 크게 개선하고 TSV 패널티를 줄이는 방향으로 비용 절감과 전력 효율성을 개선하였다. [그림 22]의 Foveros Direct

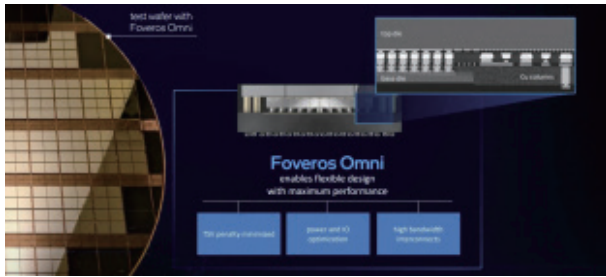


[그림 19] EMIB and Foveros

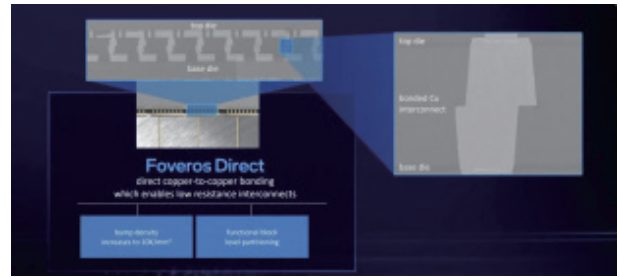


[그림 20] Foveros technology

는 하이브리드 본딩 공법을 이용하였고 솔더 범프 pitch 사이즈의 한계를 넘어섰으며, 10 um 이하의 bumpless 를 구현하였다.



[그림 21] Foveros Omni



[그림 22] Foveros Direct

○ 요소 기술

1. 요소 기술 발굴

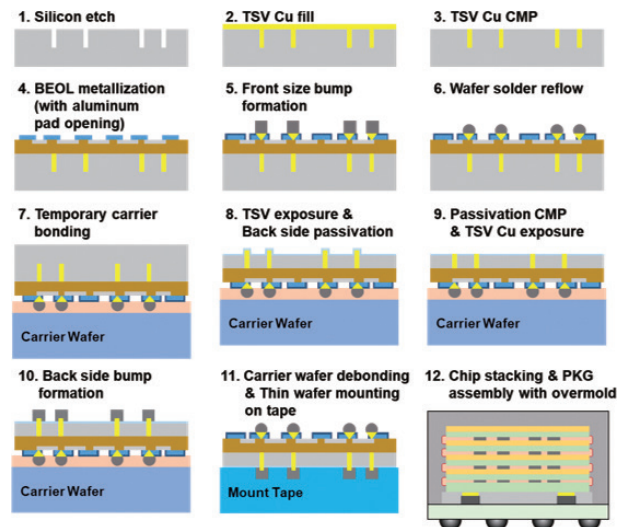
1) 3D Package Process Flow (Microbump Bonding)

보다 작고 고성능의 전자기계에 대한 필요성이 점차 대두되면서, 전자 패키징에서 3D 패키징 및 적층에 대한 필요성은 증가하게 되었다. 여러 3D 적층 및 패키징 기술 중에 실리콘 칩을 관통하는 Via (TSV)를 통해 칩들을 3차원으로 적층하는 방법이 가장 높은 공간 효율성과 전기적 성능으로 인하여 각광 받고 있다.

[그림 23]에서 1~6까지는 Fab 공정과 Wafer Bumping 공정에서 진행되며, 7~12는 Post-fab (패키징) 공정에서 진행 됩니다.

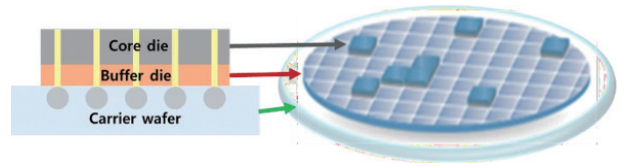
첨단 패키징 공정에서 요소 기술은 ① 웨이퍼에 via hole 형성 ② bumping 기술 ③ 기능성 박막층 형성 ④ 전도성 물질 충전 ⑤ 웨이퍼 연마 기술 ⑥ 칩 적층 기술 (Align 기술 포함) ⑦ TSV 신뢰성 해석 등이 필요하다.

현재 HBM에 적용하고 있는 마이크로 범프에 대한 문제점을 검토하면 Bumping에 의한 TSV 칩의 적층 방법으로 Cu pillar/Sn-Ag 범프 (마이크로 범프)가 높은 접합 신뢰성, 워퍼지에 대한 대응성 및 낮은 본딩 온도로 인하여 칩간 접합 방법으로 산업체에서 통용적으

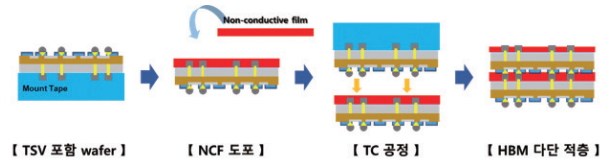


[그림 23] 3D Package Process Flow (Microbump Bonding, Via First)

로 쓰이고 있다. 그러나 이러한 미세 피치 마이크로 범프를 사용한 접합 방식은 기존의 플렉스/리플로우/언더필을 통한 과정을 통하여 본딩시 언더필 보이드 및 플렉스 잔류물이 범프 사이에 갇혀서 팝콘 현상 및 부식 문제를 야기하게 된다. 이러한 신뢰성 문제를 해결하기 위한 수단 중에 하나로 삼성전자는 NCF (Non-conductive film), SK하이닉스는 MR-MUF 을 사용하여 마이크로 범프 본딩 방식을 사용하고 있다.

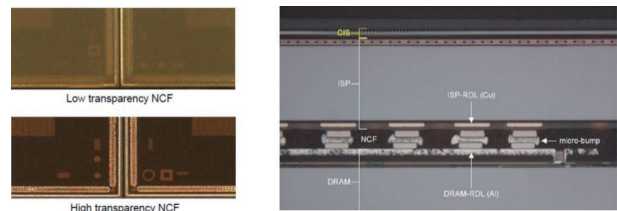


[그림 24] HBM 적층을 위한 Die to Wafer 본딩 개념도



[그림 25] TC 공정을 통한 HBM 다단 적층 공정 Flow

[그림 24, 25]은 삼성전자는 HBM 생산에 적용 중인 패키징 공정 기술은 DRAM 사이에 NCF를 집어 넣고 위에서부터 열압착을 가하는 TC 본딩 (~200 °C)을 진행하면 NCF 고온에 녹으면서 범프와 범프를 연결하고 칩 사이를 고정하는 마이크로 범프 본딩 방식을 이용하고 있다.



[그림 26] Low/High Transparency NCF 적용

[그림 26]은 NCF가 Flux 역할의 Resin 및 Filler가 포함되어 있고 종류로는 Low/High Transparency NCF 로 구분되며 물성 확보도 가능하다. 또한 High Transparency 적용으로 Bonding 시 불량 검출이 용이 하다.

SK하이닉스는 이보다 열전도율이 높다고 알려진 MR-MUF (Mass Reflow Molded Underfill) 방식을 에폭시 몰딩 컴파운드 (EMC) 적용 중이다.

삼성전자는 해당 기술이 D램 간 간극을 줄이는 데 효과적이며 생산성 측면에선 접합 물질 중 이물질을 제거할 수 있다. 추후 16단 초고용량 제품에 적용하기 위한 관련 신공정도 개발 중이며 최점단 NCF 소재를 개발해 현재 양산 중인 HBM3 제품에도 적용 중이다.

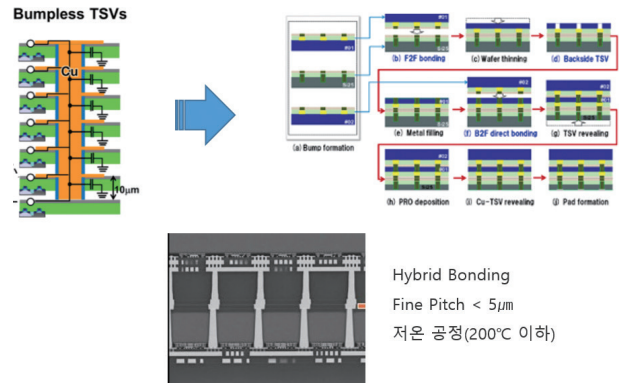
MR-MUF 패키지는 HBM 칩 외형 구조에 큰 영향을 미치고 있다. SK하이닉스는 12단 HBM3을 만들면서 제품 한 개 안에 쌓는 D램 수를 기존 8개 (16 기가바이트)에서 12개로 늘려 용량을 50% 가량 높였다.

이를 통해 SK하이닉스는 현존 최대 용량 24 기가바이트를 구현했다. 이때 칩의 두께를 유지하면서 용량(적층수)을 높이기 위해 D램 칩을 40% 얇게 만들어 위로 한 개씩 쌓아야 되는데, 이 경우 얇아진 칩이 쉽게 휘어지는 문제가 발생한다. 이를 막고 칩의 두께를 유지하는 데 MR-MUF 패키지가 가능하다.

2) 3D Package Process Flow (Hybrid Bonding)

3D 패키지 (Hybrid Bonding) 제조 단계는 아래와 같다.

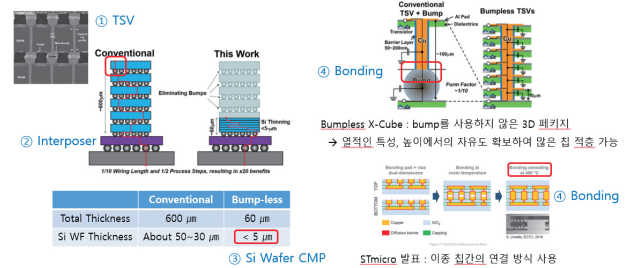
- | | |
|--------------------|----------------------|
| ① Bump formation | ② F2F Bonding |
| ③ Wafer Thinning | ④ Backside TSV |
| ⑤ Metal Filling | ⑥ B2F direct Bonding |
| ⑦ TSV revealing | ⑧ PRO deposition |
| ⑧ Cu-TSV revealing | ⑨ Pad formation |



[그림 27] 3D 패키지 (Hybrid Bonding) 제조 단계

3) Bump-less 형 X-cube

[그림 28]은 2022년 삼성 파운더리 포럼에서 발표된 삼성 Bump-less 형 X-cube (2026년 Open)에서 앞으로 전개될 첨단 Package를 위한 요소 기술을 정리하면 ① TSV ② Interposer ③ Si Wafer Thinning ④ Bonding 추가로 ⑤ 방열 (No molding) 등으로 크게 구분할 수 있다.

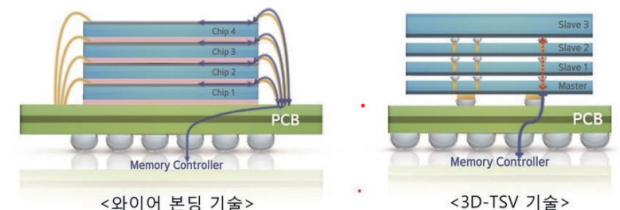


[그림 28] Bump-less 형 X-cube 예상

2. 요소 기술 설명 및 예상 기술 문제점

1) TSV (Through-Silicon Via)

TSV는 2개 이상의 칩을 적층하기 위해 칩 상·하단에 미세한 구멍을 뚫어 관통하는 Via Hole 구조로 전극을 형성하는 기술이다. [그림 29]을 통해 Conventional packaging 와이어 본딩 기술과 3D packaging TSV 기술을 비교할 수 있다. 기존 와이어 본딩 기술에서 발생했던 제한적인 I/O 단자와 신호 지연 문제점을 크게 개선시킬 수 있는 기술이다.



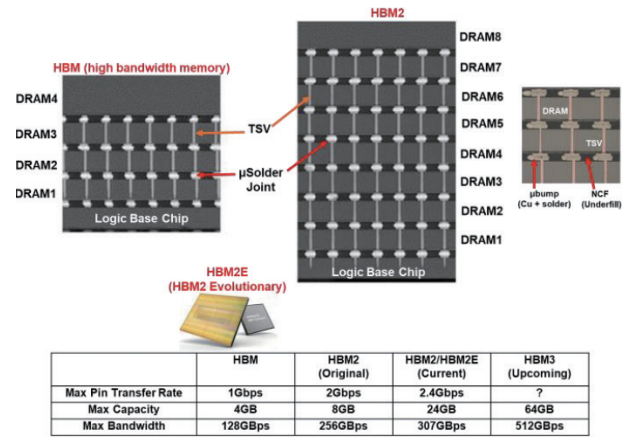
[그림 29] 기존 컨벤셔널 방식인 와이어 본딩과 TSV 비교

기존에는 SoC (System on Chip) 방식이 SiP (System in Package) 방식보다 전기적 특성이 더 우수하다고 생각했는데, TSV (Through-Silicon Via) 칩 적층 기술이 개발되며 SiP도 SoC에 부족함 없는 전기적 특성을 갖

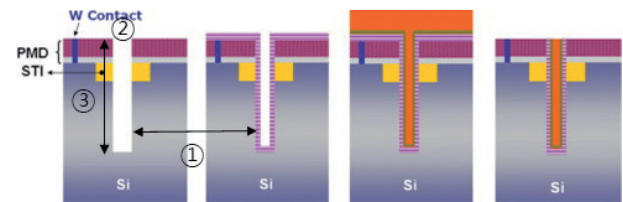
게 되었다. TSV를 통해 신호 경로를 크게 단축 시킬 수 있기 때문이다. TSV는 다양한 소자에 이용되는데 대표적으로 HBM (High Bandwidth Memory)은 TSV를 이용한 SiP 방식을 사용고 [그림 30]을 통해 TSV가 HBM에 적용된 사례를 이미지를 통해 확인 할 수 있다.

[그림 31]은 TSV 제조 공정 Flow 이다. (a) TSV Photo Patterning (b) TSV Etch (c) TSV Isolation (SiO2) (d) TSV Metallization (Ta/Cu seed/Cu 전기도금) (e) Cu CMP 로 크게 나눌 수 있다.

[표 2]은 I/O 피치에 따른 Hole Size, Depth, Space 를 나타 내었다. 현수준 I/O Pitch는 약 30~50 μm 로 진행되고 있으나 앞으로는 < 5 μm 를 요구 될 것이다. 따라서 TSV Photo, Etch, Metallization 공정에 대해서 새로운 접근 방식이 필요하다.



[그림 30] TSV를 활용한 HBM 단면도



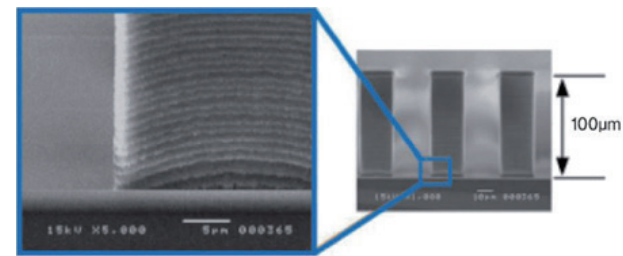
[그림 31] TSV Process Flow

(단위 : μm)

I/O Pitch (①+②)	130	40	< 5	< 3
① Hole to Hole Space	110	30	4	0.8
② Hole Size	20	10	1	0.2
③ Hole depth	50~30	50~30	5?	?

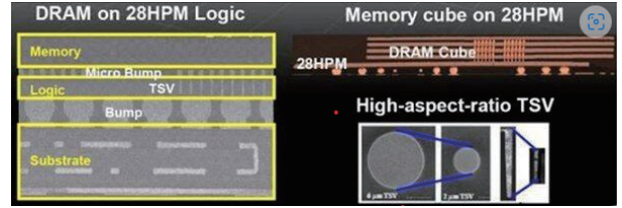
[표 2] I/O 피치에 따른 Hole to Hole, Hole Space, Hole Size, Depth 현 수준 및 예상값

[그림 32]은 TSV Hole 크기는 15 μm , Hole 깊이는 100 μm 에서의 TSV 에칭 Profile 예이다. TSV 에칭 방법으로는 DRIE (Deep Reactive Ion Etching), Bosch 프로세스를 사용하고 있으며 수직 Via 구조를 위하여 “펄스” 혹은 “시분할 다중” 에칭 방식이 필요하다. 진행 방법으로는 에칭 프로세스를 진행하면서 Via 측면 내 부가적인 에칭을 예방하기 위하여 측면에 Passivation 을 형성하는 에칭/증착 단계를 원하는 깊이 에 도달할 때까지 반복하여 에칭한다.



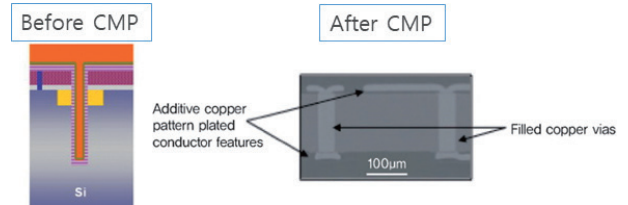
[그림 32] TSV Etching Profile Example

[그림 33] TSV 적용 사례이며, I/O Pitch가 현재 30 μm 에서 3 μm 로 감소 되면 High aspect ratio TSV Patterning과 에칭 기술이 필요하게 되고 TSV Depth 제어 및 측정 난이도 상승이 예상된다.



[그림 33] DRAM + Logic 28HPM TSV 적용 사례

[그림 34]에서 Via Metal filling을 위하여 Target 깊이까지 에칭 후에 PR Stripe, SiO₂, TaN, Ta, Cu seed, Cu 전기도금, Annealing 순으로 진행된다. Wafer의 반대표 표면상 금속 Cu 충전 Via에 접속하기 위해서 CMP 또는 플라즈마 에칭 공정을 사용하고 있으며, CMP 공정 사용 시 Si 표면은 음전하를 띠고 Cu 표면은 대부분의 경우 양전하를 띠므로 Si/Cu CMP 후에 Cu 번짐 결함이 발생 할수도 있다.



[그림 34] Hole Size 40 μm , Hole Depth 170 μm 인 TSV Metal filling 예이다.

또한 I/O Pitch가 현재 30 μm 에서 3 μm 로 감소 되면 TSV Isolation을 위한 SiO₂ 두께는 일정하므로 TSV Metallization 시 Aspect ratio가 커져 Metal filling 난이도가 상승하게 되어 High aspect ratio TSV Metal filling 방법 도출이 필요하다. 현재 Voidless을 위한 Cu 도금 방식인 PPR (Periodic Pulse Reverse) 방식에서 전류밀도, 도금 시간 제어를 통한 결함 발생 제어 및 고속 Metal 충전 등의 공정 조건 최적화가 필요하다.

2) 인터포저 (Interposer)

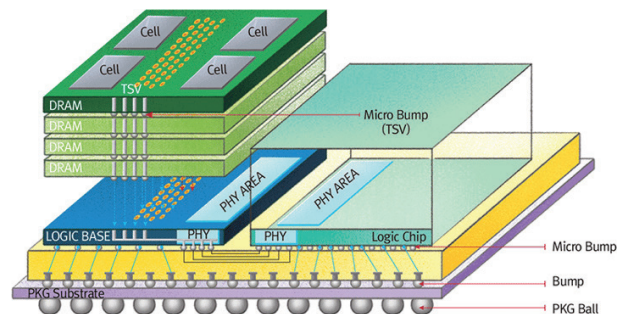
인터포저는 서로 다른 피치 크기, 위치의 패드를 가진 복수 칩의 이중접합이 필요한 경우 전기적 연결기능을 하는데 사용되는 패키지 기술로 집적회로 (IC) 칩과 인쇄회로기판 (PCB) 사이에 추가적으로 삽입해주는 미세회로 기판이다. 고성능 칩과 PCB는 입출력 단자의 밀도차이가 상당히 크다. 때문에 인터포저는 그 중간정도의 배선을 구현해 칩과 기판을 물리적으로 연결하는 역할을 수행 한다.

[그림 35]은 인터포저가 사용되는 2.5D 구조이다.

HBM (고대역폭 메모리)는 그 자체로 패키지가 다 완료된 제품이 아니다. 시스템 업체에 HBM을 보내면 시스템 업체가 인터포저 (Interposer)를 통해서 로직칩과 HBM을 붙인 2.5D 패키지를 만든다. 이는 서로 다른 기능의 소자들은 하나의 패키지로 하는 방식인 SiP (System in package)라고 볼 수 있는 것이다.

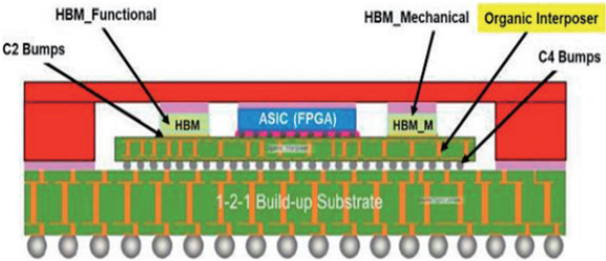
인터포저의 종류는 크게 유기, 유리, 실리콘기판을 이용한 인터포저로 나눌 수 있다.

실리콘 기판을 사용하는 경우 가장 우수한 성능과 상호연결밀도(interconnect density)를 얻을 수 있지만 가장



[그림 35] HBM을 이용한 2.5D 패키지

비싼 공정 비용을 가진다. 유기 (organic) 기판은 실리콘 기판 대비 상대적으로 낮은 성능과 밀도를 가진다. 하지만 실리콘 기판을 사용하는 것에 비해 저렴한 공정 비용을 가진다. [그림 36]는 Cisco사의 TSV가 없는 유기 인터포저를 사용한 2.5D package를 보여주고 있다.



[그림 36] Cisco사의 유기 인터포저를 사용한 2.5D 패키지

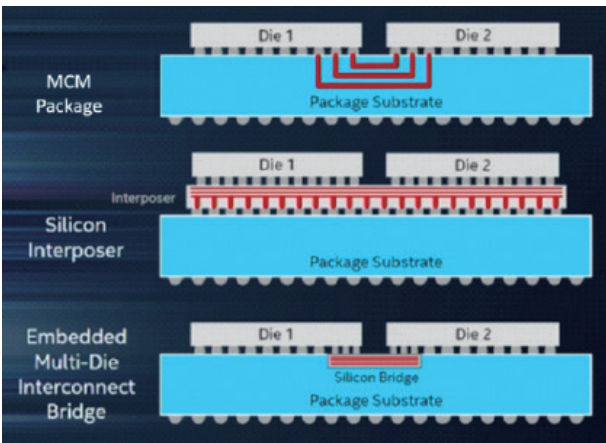
유리 기판의 경우 저렴한 가격과 합리적인 성능을 가진다. 하지만 실리콘 기반 인터포저는 이미 잘 확립되어 있는데 반해 유리 기반 인터포저는 두께, 패널 사이즈 및 형상이 실리콘웨이퍼에 비해 더 많은 공정 변수를 가지고 있기 때문에 실리콘과 비교하여 가공상의 어려움이 있다. 또한 비교적 열전도성이 떨어지는 문제점을 가지고 있다.

	실리콘	유리
밀봉성	어려움	Anodic bonding
투명성	IR	
비아 피치	10~500 μ m	200~500 μ m
두께	20~700 μ m	400~700 μ m
유전율	~11.8	~4.6
저항	표면저항 조절 용이	부도체
열 전도도	149W/(mK)	1.1W/(mK)
웨이퍼 크기	6", 8", 12"	6", 8", 12", 패널
비아 충전 소재	Cu, W, Au, Poly-Si	W, Cu, Au
비아 공정 비용	비교적 고가	저가의 TGV 공정 가능
재배선 공정 기반	잘 구축됨	제한됨

[그림 37]를 통해서 실리콘 기판을 사용한 인터포저와 유리 기판을 사용한 인터포저를 비교할 수 있다.

[그림 37] 실리콘 인터포저와 유리 인터포저 비교

인터포저 기술은 다이와 다이간 10000개 이상의 연결을 가능하게 하는 미세 패턴 솔루션을 제공하여 CPU, GPU, ASIC 등과 메모리, 송수신기를 결합하는 패키지에 사용되고 있으며 인터포저의 수요는 계속해서 늘어나고 있다. 고성능 컴퓨팅 및 통신기기의 그래픽 프로세서에 활용될 것으로 보인다.



[그림 38] MCM 패키지, 실리콘 인터포저, EMIB를 이용한 이종 다이 통합 방식

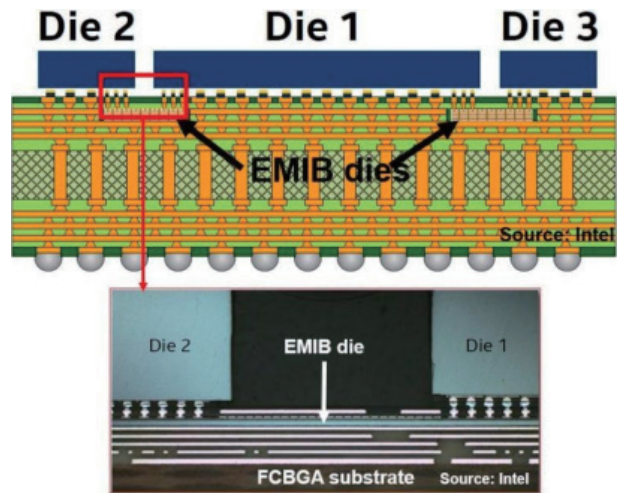
이종의 다이를 연결할 때 사용되는 방법에는 인터포저 이외에도 MCM (multi chip module) 패키지와 EMIB (embedded multidie interconnect bridge) 기술이 있다. [그림 38]은 MCM과 실리콘 인터포저 그리고 EMIB 기술을 비교한 사진이다. 먼저 MCM 패키지 방식은 원가가 싸며 기술이 성숙되어 있어 높은 신뢰도를 가지고 KGD (known good die)를 가려내기 용이하다는 장점을 가진다. 소비전력이 높고 다이와 기판간, 다이와 다이 간의 상호연결밀도가 떨어진다는 단점이 있다.

실리콘 인터포저를 이용하는 경우 다이와 인터포저간, 다이와 다이 간의 상호연결 밀도가 우수하고 소비전력도 낮

다는 장점을 가진다. 하지만 TSV를 사용하며 공정 원가가 높은 편이며 KGD의 검출이 힘들다는 단점이 있다. 마지막으로 EMIB는 실리콘 인터포저와 마찬가지로 다이와 브리지간, 다이와 다이 간의 상호연결 밀도가 우수하고 낮은 소비전력을 가진다.

또한 실리콘 인터포저를 사용하는 것에 비해 좁은 실리콘 브릿지를 사용하여 낮은 원가를 가진다는 장점이 있다. 하지만 현재로서는 라우팅 길이가 제한되어 있으며 KGD의 검출하기 힘들다는 문제점이 존재한다. [그림 39]은 EMIB를 이용한 이중 칩 통합 사례이다.

EMIB 기술은 CPU, GPU, 기타 칩셋을 각자 개발한 뒤 패키지에서 결합하는 식으로 사용하는 것이 가능하며 서로 다른 공정과 형태의 다이를 연결하는 것이 가능하기 때문에 폴더블 및 웨어러블 디바이스 등에서 효과적으로 사용할 수 있을 것으로 보인다.



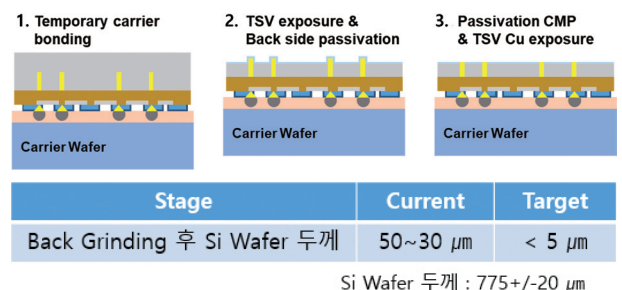
[그림 39]인텔의 EMIB를 이용한 이중 칩 통합

3) Si Wafer Thinning

Back Grinding 후 Si Wafer 두께는 현재 50~30 μm 에서 5 μm 이하를 요구 할 것이다. Si Wafer 두께 30 μm 진행을 위한 표면처리 방법은 [그림 40]을 보면 Wafer Grinding, Chemical Mechanical Polishing (CMP), Wet 또는 Dry Etching으로 진행하고 있다.

5 μm 이하 Si 웨이퍼 Thinning 공정 예상 진행 문제점은 ① Wafer Warpage 증가, 강도 감소, 표면 Damage ② Defect 이나 공정 진행으로 가해진 Stress는 Wafer Breakage ③ 접촉저항, 열적 저항, 소자 수명, 누수 전류/전압 등의 전기적 특성에 부정적인 영향으로 나눌 수 있다.

이런 문제점을 해결하기 위해서는 Thinning 공정 후 Defect의 분포나 양을 줄이기 위한 표면처리 필요하고 Defect은 Grit Size, Table Speed, Wheel과 Spindle 조건, Coolant 흐름 등 공정 변수에 의해서도 영향을 받으므로 공정 변수 최적화, Thickness 5 μm +/- 0.5 μm 이하를 제어하기 위한 idea 및 기술이 필요하다.



[그림 40] Si Wafer Thinning Flow 및 공정 Target





4) 하이브리드 본딩 (Hybrid bonding)

패키징 공정에서 와이어 본딩(wire bonding) 공법은 전통적으로 쓰여오던 방법이며, 오랜 기간 사용하며 쌓인 데이터로 높은 신뢰성을 확보하고 있다. 이 신뢰성을 바탕으로 현재에도 와이어 본딩 공법이 사용되고 있다. 그러나 고 집적화와 작아지는 칩 사이즈에 의해 I/O (input/output) 단자의 폭이 좁아지고 밀도가 높아지고 있다. 솔더 범프 (Solder bump) 공법을 이용하여 이에 대응하였다. [그림 41, 42]에서 솔더 범프 공법은 솔더볼 (Solder ball)을 이용하여 기존보다 1/10 이하의 임피던스를 가지며 도선의 길이 또한 줄어들어 전기적 특성이 더 우수하다. 솔더볼은 Sn, Pb, In과 Cu, Ni, Fe, Au등 여러 금속의 합금을 이용한다.

하이브리드 본딩 공법은 Cu와 Cu를 직접적으로 연결하는 방법으로 플라즈마, 열, 압력을 이용하여 공정을 진행한다. 300~350도의 열처리 과정에서 Cu가 팽창하여 서로 접합하는 방식을 사용한다. 나노 스케일의 표면 거칠기를 조절하고 금속과 산화물의 열팽창 계수를 고려하여 설계하는 것이 중요한 요인이다.

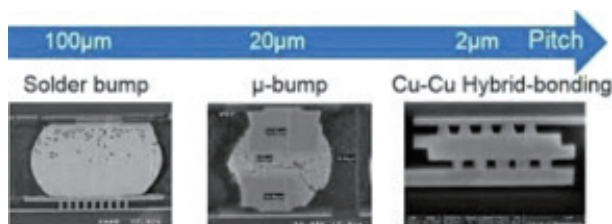
[그림 43]은 하이브리드 본딩 순서와 단면도이다. 공정의 순서는 열팽창 계수를 고려하여 금속층과 산화물층의 두께를 조절한다. CMP를 이용하여 산화물의 거칠기(rms)를 0.5nm 이하로 만들어 준다.

[그림 44]에서와 같이 Si 표면은 NH₄OH 혹은 플라즈마나 전처리를 통해 친수성으로 치환하면 하이드록시기(-OH) 또는 아민기가 형성되고 반데르 발스 결합 (Van der Waals)으로 SiO_x을 형성한다. 그 뒤 열처리 과정으로 물분자는 제거되면 Si-O 공유 결합을 형성한다.

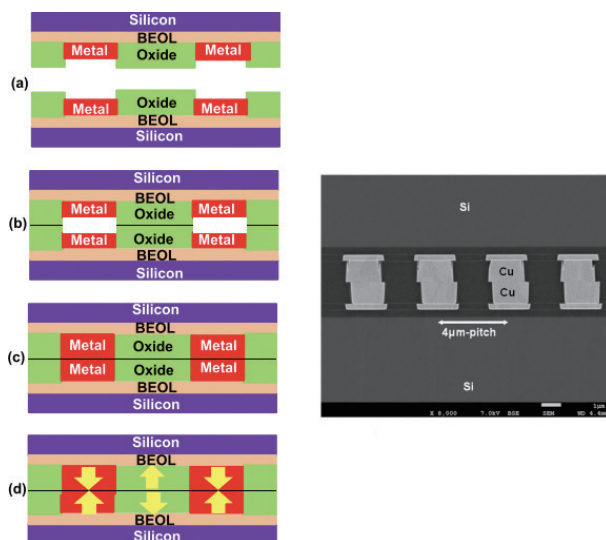
	SnPb C4 Bump	Pb-Free C4 Bump	Cu Pillar + Pb-free Cap	Cu μ -Pillar + Pb-free Cap
구조				
직경	75 ~ 200 μ m	75 ~ 150 μ m	50 ~ 100 μ m	10 ~ 30 μ m

이전 기술
현재 시장에서 통용되는 기술
차세대 기술

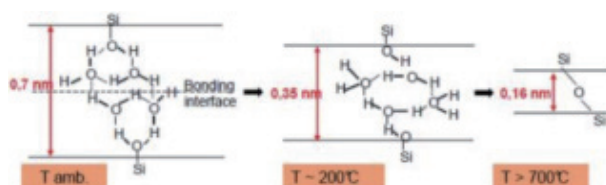
[그림 41] Solder bump 기술



[그림 42] Pitch에 따른 공법 변화

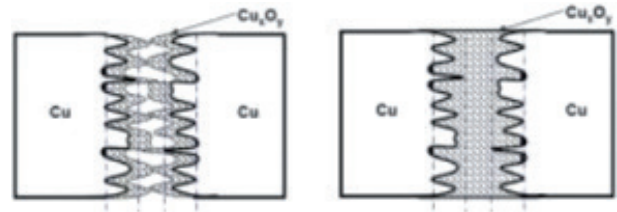


[그림 43] 하이브리드 본딩 공정 순서와 단면도



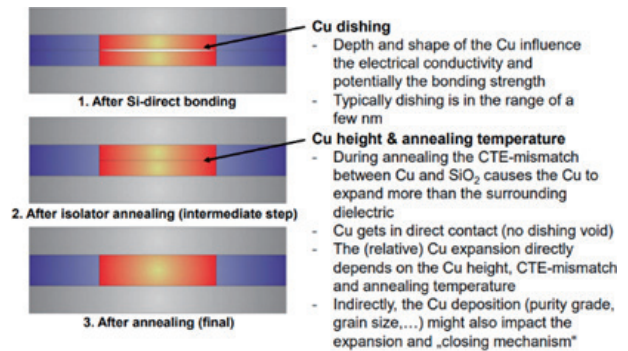
[그림 44] SiO_x 표면처리 후 접합 메커니즘

[그림 45]에서와 같이 표면 처리 후 약 200~400 °C 로 가열한 상태에서 2~4 kN의 압력을 가해 두 금속 박막층을 맞대게 되면, 증착 과정에서 활성화 되어 있던 Cu가 팽창하며 Cu 계면 사이에 Cu_xO_y 가 성장하여 원자 확산 본딩을 통한 DBI (Direct bonding interconnection)가 형성된다.



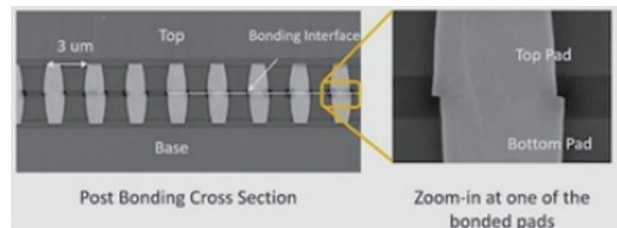
[그림 45] Copper 접합 메커니즘

[그림 46]은 하이브리드 본딩시 문제점을 살펴 보면 본딩 전 필요 사항으로 CMP 후 SiO_x 는 1 nm 미만의 표면 거칠기(Ra)를 유지 하여만 하는데 평면 표면을 달성하지 못하면 입자, Cu Dicing이 Vacancy를 유발 시킬 수 있고 SiO_x 는 결합 중에 Reflow가 없어 금속 주위에 Air Gap을 유발 시킬수 있다. 또한 Die to Wafer 본딩 공정 최적화를 위하여 전기도금은 표면 확산율이 높은 (111) 표면 입자 78% Cu Via Array가 요구되며 접합 온도의 높은 온도 열처리 방식은 반도체 소자의 열화를 유발 시키기 때문에 200 °C 이하, 압력은 1.06 Mpa, 비접촉 저항은 $1.2 \times 10^{-9} \Omega \cdot cm^2$ 가 되어야 한다.



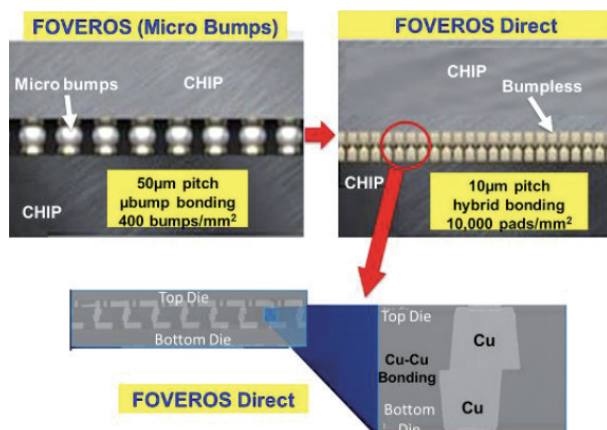
[그림 46] 하이브리드 본딩 시 Dicing 문제점

[그림 47]은 I/O Pitch 3 μm 에서 Via Size가 $1.5 \mu m \pm 0.1 \mu m$ 가 예상되어 Cu to Cu 본딩에서 Via size가 감소함에 따라 Misalign 제어가 주요한 Issue로 부각 될 것이다.

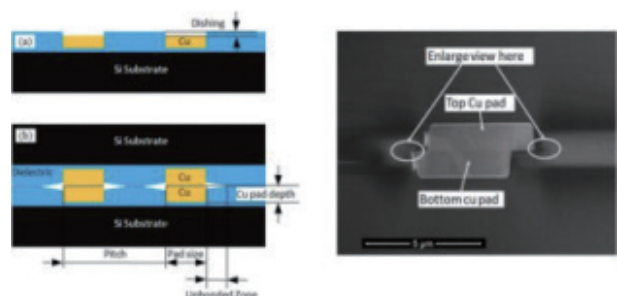


[그림 47] 하이브리드 본딩 시 Misalign 문제점

[그림 48, 49]는 Intel사의 하이브리드 본딩기술은 Foveros direct라고 불린다. 10um의 pitch를 가지며 10,000 pads/mm² 밀도를 가지는 기술이다.



[그림 48] Intel사의 Foveros direct 기술



[그림 49] Air gap과 misalign

인텔도 하이브리드 본딩 기술의 동일한 문제점으로 인식되고 있어 추후에는 더 진보된 정렬 방식과 저온에서도 공정이 가능한 금속 접합 기술이 필요 할 것이라 생각 된다.

5) 방열 기술

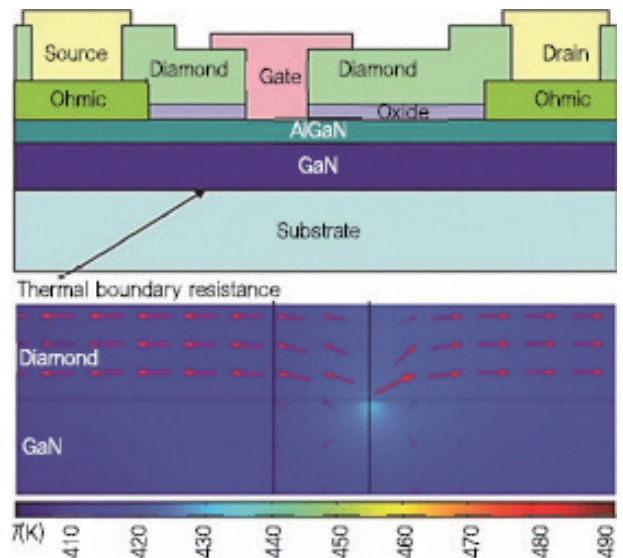
패키징에서 방열은 크게 칩 레벨, 모듈 레벨, 또는 시스템 레벨로 나눌 수 있다. 먼저 칩레벨에서의 방열기술은 작은 크기 및 반도체 공정이 고려 되어야 하기 때문에 개발에 제약이 있으며, 칩 패키지는 전체 열저항에서 가장 큰 부분을 차지하고 있어 기술적 솔루션의 필요성이 가장 크다. 칩에서의 방열은 소재, 접합 방식 또는 설계구조에 의해 크게 좌우된다. 방열 소재는 열전도도가 매우 중요하며 Ag-Epoxy를 사용하는 것에 비해 열전도도가 우수한 Ag-sintering을 사용하며 접합 열저항을 크게 감소 시킬 수 있다. 설계 구조적인 측면에서는 방열 면적 증가와 열점의 빠른 제거가 주요 핵심 기술이다. 이를 위해서 다이아몬드층을 활용한 열소산 기술 개발이 최근 크게 증가하고 있다.

[그림 50]은 다이아몬드 레이어에 의한 열소산을 나타낸 것으로 GaN층 위에 화학기상증착 (chemical vapor deposition)를 통해 증착된 다이아몬드 층을 통해 대부분의 열이 소산된다. 하지만 수직 방향의 열전도도는 크지 않게 된다는 해결점이 존재 한다.

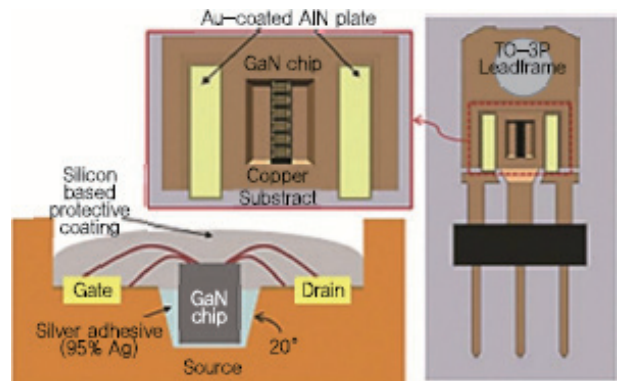
모듈 및 시스템 레벨에서의 방열 기술은 칩 레벨에서의 방열 기술에 비해 상대적으로 많이 이루어져 왔다. 주로 패키지 방열 구조 설계와 마이크로 채널을 이용한 액체 냉각 그리고 건식 냉각 방법 등이 있다. 패키지 방열 설계에서는 방열 면적이 증가할 수 있도록 칩이 실장되는 블록을 칩 함몰형으로 설계하는 방법이 있다.

[그림 51]를 통해 방열기능 향상을 위한 패키지 설계를 볼 수 있다.

또는 열을 효과적으로 방출 시키기 위해 열 접촉을 직접, 간접적으로 사용하여 열을 방출 시키는 히트 싱크 (heat sink)에 칩 및 기판을 내장 (embedded) 하는 형태의 패키지를 이용하는 방법도 있다. 하지만 고성능의 방열 솔루션이 요구되며 액체 냉각이 주로 활용



[그림 50] 다이아몬드 레이어에 의한 열소산



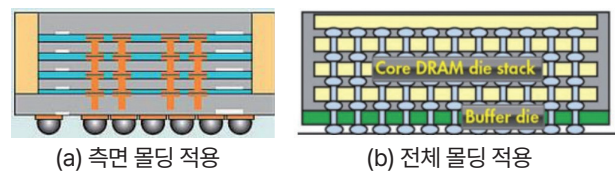
[그림 51] 방열 향상을 위한 패키지 설계

되고 있다.

액체 냉각은 마이크로 채널을 통한 방법이 주로 적용되고 있다. 대표적으로는 칩이 직접 실장되는 구리 블록에 마이크로 머시닝 기술을 이용하여 마이크로 액체 유로를 설치하는 방법이 있다. 액체 냉각의 효율을 높일 수 있는 방법으로는 충돌과 분사 방법이 고려 될 수 있고 단순한 액체 냉각방식에 비해 50% 이상 열 방열 성능을 향상시킬 수 있다.

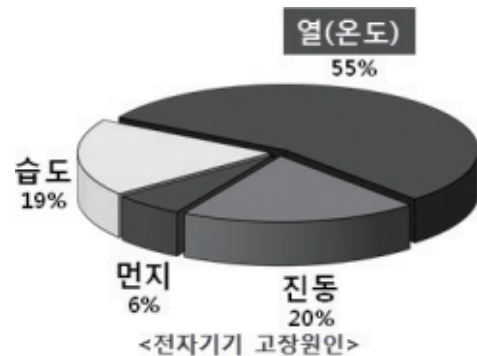
전자 패키지 방열은 내부 또는 주위의 환경에 따라 건식방열 기술이 필요할 수 있다. 대표적으로는 히트파이프 및 히트 싱크가 있다. 히트파이프 기술은 기판 또는 PCB를 히트파이프의 일종으로 제작하는 형태로 적용 될 수 있으며 패키지 내 열점을 제거할 수 있다.

[그림 52]은 측면/전체 몰딩 방식에 따라 열방출의 효율성을 증대시킬 수 있다. 다만 적층 이후 측면 몰딩을 진행하여 윗면에는 몰드를 사용하지 않는 구조를 적용해 열을 효율적으로 방출 할 수 있다. 이러한 몰딩 방법은 제조사 별로 몰딩법이 상이 하다.



[그림 52] 삼성전자 HBM 몰딩 방법

미래의 전자기기들은 더 많은 기능과 더 고집적화된 반도체 기술을 사용하므로 열 관리 기술의 필요성과 중요성은 점점 더 커질 것으로 보인다. 방열에 대한 기술은 각 회사 별로 기술 Know-How로 가지고 있어 구체적인 자료를 찾아 볼 수 없었다. 그리고 첨단 패키징에서는 마이크로 본딩 적용 방식에 비해 Cu to Cu 하이브리드 본딩으로 제조 할 경우 TSV를 통해 효과적으로 열방출이 가능하다는 전문가 의견이 있었다. [그림 53]을 보면 열로 인한 문제가 55%나 되는 것을 확인 할 수 있다.



[그림 53] 전자기기의 고장원인

○ IV. 결론

첨단 패키징 요소 기술 들을 검토한 결과, OSAT 기업이 전체 첨단 패키징 분야로 진입하기에는 Class 1 수준의 Fab 건설, 고가의 CMP, Etcher, Bonder 등으로 최소 조 단위의 초기 설비 투자 비용이 필요하다. 또한, OSAT 기업에서 진행하지 않고 있는 전공정 소자 제작을 위해 사용한 기술인 CMP, TSV Etching, TSV Photo, Particle 제어 등의 기술 장벽의 한계로 인해 접근하기 어려울 것 같다. 현재는 삼성, SK 하이닉스에서 첨단 패키징 전체를 진행하고 있지만 첨단 패키징이 Market Share 확대 및 기술적 성숙이 이루어지게 된다면 OSAT 기업에서 선별하여 접근이 가능한 분야로 확대를 가능하게 할 것이다.

또한 패키징 소재 및 설비 관련 중소, 중견 기업의 입장에서는 앞으로 예상되는 필요 요소 기술에 대하여 기술 장벽을 넘을 수 있는 기술이 개발 된다면 패키징 설비 및 재료 등에 대하여 새로운 시장 진입이 가능하리라 사료 된다. 현재 첨단 패키징에서 I/O Pitch가 30 μ m~50 μ m 에서 10 μ m 이하로 감소 될 때 요소 기술 Challenges을 정리하여 보면 아래와 같다.

1. TSV Formation

- TSV Patterning
- TSV Etching (Low scalloping, low undercut)
- TSV isolation/seed/barrier, conformal and continuous deposition
- TSV filling : Voidless 침적, CMP uniformity

2. Interposer

3. Wafer thinning technology

- Grinding
- CMP
- Plasma
- Wet Etching
- TSV Revealing techniques

4. Bonding

- C2W and W2W bonding
- Inter-die connections (마이크로 범프, 하이브리 범프 등)
- Bonding materials & Underfill (NCF, MR-MUF)
- Misalign control

5. 방열 technology

6. 추가로 Wafer handling

- Temporary bonder/debonder

- Carrier wafer (glass / Silicon)
- Temporary bonding materials

이 자료는 인터넷 자료를 기반으로 제작된 자료이므로 용어, 절대적인 숫자, 그림 등은 현재 첨단 공정과는 불일치할 가능성이 있다. 또한 본 센터 관점에서 제작되어 추후 수정 및 검증과정이 필요하다. 다만 첨단 패키지 개념 이해, 기업의 첨단 패키징 관련 신규 기술 개발 및 연구 진행 방향성 설정 시 참조 바란다.

