

3D나노융합소재연구센터 기술리포트

2024년 6월호
(발행일 2024년 6월 1일)





Contents

02 서론

04 3D, 3.5D 첨단 패키징 기술

13 특성 분석

15 새로운 소재 와 Copper의 영향

20 결론

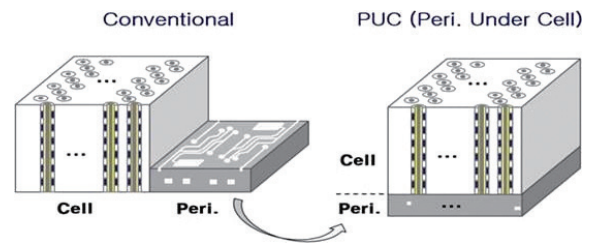
첨단 패키징 공정 최신 기술 동향 요소 기술 발굴



○ 서론

최근 고성능 컴퓨팅, 빅데이터, AI 등 계속해서 성장하는 애플리케이션에 발맞추어 디바이스 스케일링에 대한 요구가 점점 커지고 있다. 그러나 전공정에서의 스케일링은 비용적, 물리적 문제로 거의 한계에 도달하였고, 패키징 기술의 발전으로 통합 디바이스의 전력, 성능, 면적, 비용(PPAC)에서 상당한 이점을 얻을 수 있게 되었다. 그러나 Solder ball과 C2 micro-bump 구조의 재료 특성으로 인해 10 μ m Pitch 이하에서는 확장성에 제약이 있다. 따라서 이제 Sub-Micro Pitch까지 확장할 수 있고 이기종 통합 장치 간에 매우 짧은 지연 시간으로 고대역폭 입출력(I/O)을 가능하게 하는 Cu 하이브리드 본딩이 더욱 강조되고 있다.

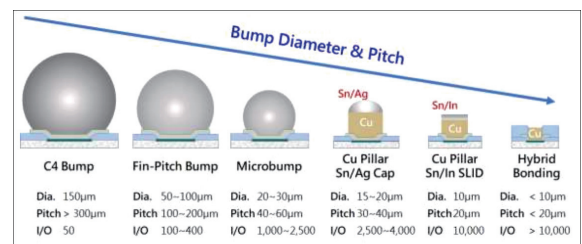
하이브리드 본딩이란 기존 이중접합 기술에서 칩 간 연결을 범프 없이 절연체와 절연체, 금속과 금속을 직접 접합하는 방식으로 Bump를 사용하는 기술 대비 Pitch를 획기적으로 줄여 매우 많은 수의 I/O 확보가 가능하며 칩 간 연결이 매우 짧아 에너지 손실 최소화 및 고속 데이터 전송이 가능한 기술이다. 이를 통하여 기존 폰노이만 아키텍처에서 문제가 되었던 메모리와 CPU간 통신의 병목현상을 개선하고 컴퓨팅 속도를 더욱 높일 수 있다.



[그림 1] SK하이닉스의 PUC구조

[그림 1]은 SK하이닉스의 하이브리드 본딩, 특히 웨이퍼 대 웨이퍼(W2W) 방식으로 400단 낸드를 구현할 계획을 나타낸다. 기존에는 데이터를 저장하는 영역인 '셀'과 회로를 구동하는 영역인 주변부(페리)를 하나의 웨이퍼에 집적해왔다. Peri Under Cell(PUC)'로 알려진 이 구조는 주상복합 아파트처럼 셀 아래에 페리를 배치하는 방식이다.

NAND 층이 증가함에 따라 기존 PUC 구조는 셀 적층 과정에서 높은 열과 압력으로 인해 페리가 손상될 수 있어 한계에 직면했다. 이를 극복하기 위해 하이브리드 본딩 기술이 적용되어 셀과 페리를 별도의 웨이퍼에 구현한 후 서로 접착하여 초고집적도 NAND가 만들어진다. 이 방식은 페리를 별도로 제작할 수 있어 400단 이상도 안정적으로 적층할 수 있고, 파손을 방지할 수 있다.

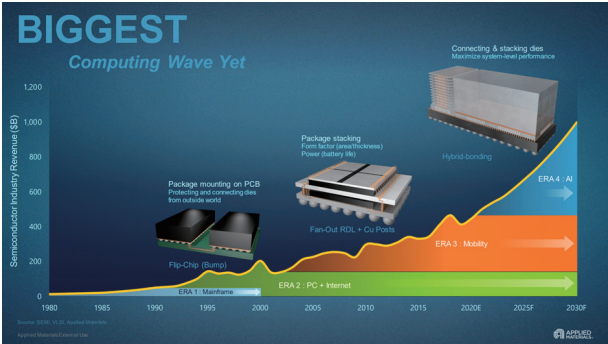


[그림 2] Block Size와 I/O의 수의 변화

[그림 2]는 본딩 Pitch가 점점 줄어들수록 단위 면적당 I/O 수가 늘어나는 것을 보여주고 있는데, 이는 고집적 회로 설계에서 중요한 역할을 하게 된다. 작은 Pitch는 더욱 높은 입출력 단위 밀도를 제공하며, 이를 통해 회로의 성능을 높이고 소형화할 수 있다. 특히, 하이브리드 본딩 기술은 기존의 Solder Bump 및 Cu 기둥 기반 연결과 달

리 Pitch가 매우 작은 경우에도 높은 신뢰성을 유지할 수 있는 장점을 갖고 있어, 차세대 반도체 패키징에서 필수적인 기술로 제시하고 있다.

[그림 3]은 반도체 산업의 발전 흐름을 보여주며, 각 시대별로 주요 기술 동향과 컴퓨팅의 진화단계를 설명한다.



[그림 3] 반도체 산업의 발전 동향

그중 ERA 4 (2020년대 이후)에서는 AI 시대로 하이브리드 본딩 및 더욱 복잡한 적층 설계를 통해 시스템 성능을 극대화하는 방향으로 기술개발을 요구하고 있다. 이 시기의 기술은 특히 높은 밀도의 연결을 제공하며, AI와 고성능 컴퓨팅이 주된 요구 사항이다.

본 기술보고서에서는 2024년 ECTC (Electronic Components and Technology Conference) 학회에서 발표된 자료를 바탕으로 기업들의 기술 동향을 분석하고 최근의 연구 결과를 토대로 하이브리드 본딩 기술의 발전 방향에 대해 논의하고자 한다.

○ 3D, 3.5D 첨단 패키징 기술

1. 3D Integration

3D Integration은 Moore의 법칙을 뛰어 넘어 전자기기의 성능을 향상시키는 중요한 주제다. 3D Integration 기술은 두 개 이상의 소자를 수직으로 쌓아 집적하는 기술로 현재 여러 회사에서 여러 방법으로 3단 웨이퍼 적층을 입증하고 있다. Sony, Samsung, AMD 각 회사별로 검토하고자 한다.

1) Sony 3 Layer stacking process

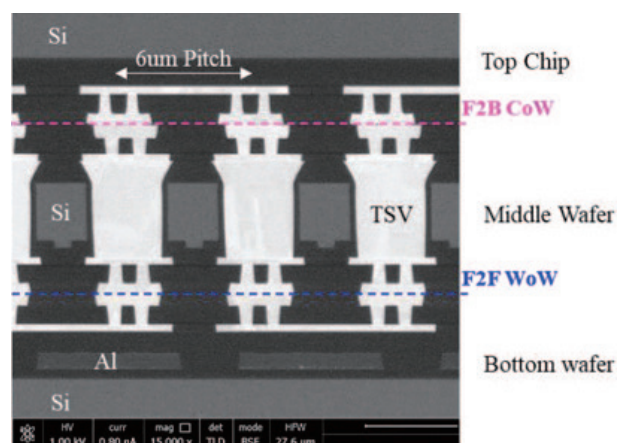
Sony는 6 μ m Pitch Cu-Cu 연결을 사용하여 Face To Back(F2B), Chip On Wafer(CoW)와 Face To Face(F2F), Wafer On Wafer(WoW)로 구성된 3층 수직 적층 구조를 포함하는 혁신적인 Chip On Wafer On Wafer(CoWoW) 공정을 개발했다.

이 공정은 Top Chip/Wafer와 중간 Wafer에 TSV(Through-Silicon Vias)가 결합된 Full BEOL구조로 상단 칩(17 × 24mm, t = 0.15mm)의 bowing을 제어하여 Void없는 CoW 본딩을 달성했다. 또한 탄성 변형 에너지를 사용하여 CoW의 결합 강도를 시뮬레이션 했다.

그 결과 칩의 중앙과 가장자리 모두에서 F2F WoW뿐만 아니라 F2B CoW의 우수한 6 μ m Pitch Cu-Cu 연결을 얻었다. 또한 CoWoW를 사용한 6 μ m Pitch Cu-Cu 연결은 응력 유발 Void 및 전기 이동 테스트에서 높은 신뢰성을 보여주었다.

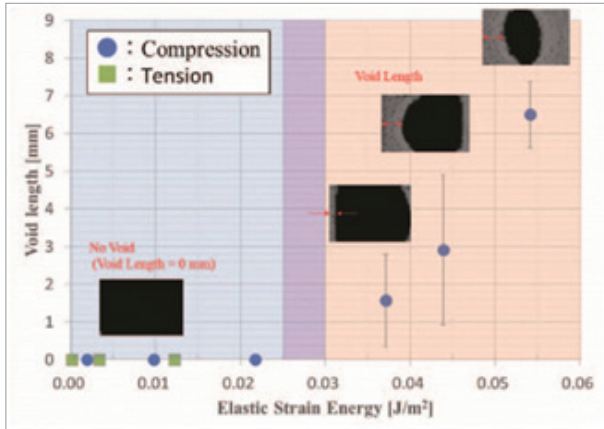
[그림 4]는 Sony의 3단 적층 CoWoW (Chip-on-Wafer-on-Wafer) CIS SEM 단면도이다. Sony에서는 상단 칩의 휨 형태와 CoW Void 간 관계를 연구하였다.

압축 힘에서는 SAM 측정 Void가 존재한 반면에 인장 힘에서는 SAM 측정 Void가 존재하지 않는 Void-free CoW bonding을 달성하였다고 밝혔고 상단 칩의 휘어짐이 중요하다 언급했다.

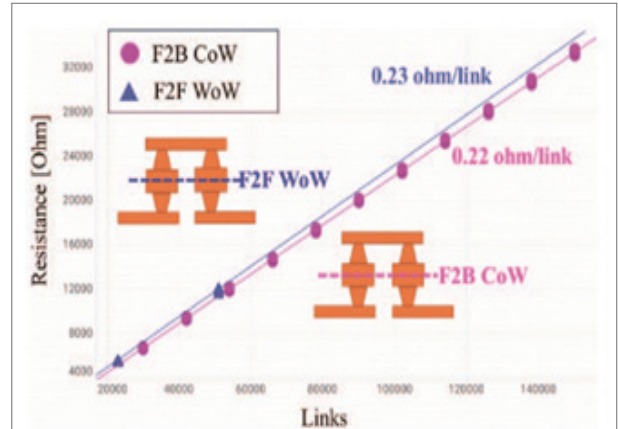


[그림 4] Sony의 3단 적층 CoWoW CIS

[그림 5]는 탄성 변형 에너지가 결합 강도보다 클수록 Void의 길이가 길어지는 것과 또한 경계 에너지의 임계값이 0.025 ~ 0.030 J/m²임을 보여준다.



[그림 5] 탄성 에너지 대 Void 길이. 원(●)과 사각형(■)은 각각 압축과 장력에 따라 칩이 휘어지는 정도



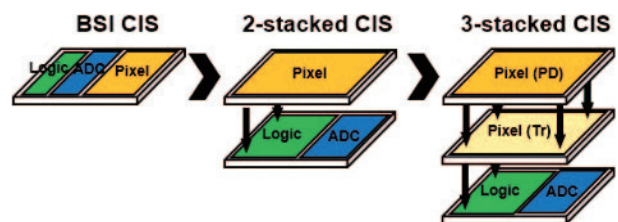
[그림 6] 6 μ m Pitch Cu-Cu 연결의 긴 체인 저항. 원(●)과 삼각형(▲)은 F2B CoW 및 F2F WoW의 데이터

[그림 6]은 6 μ m Pitch Cu-Cu 연결에서 F2B CoW와 F2F WoW 간의 장쇄 저항을 비교한 것이다. 두 저항 모두 0.22-0.23옴/단위 범위 내에서 동일하다. 따라서 F2B CoW와 F2F WoW 간의 전기적 연결에는 차이가 없는 것으로 확인되었다.

2) Samsung 3-Wafers 적층 CMOS Image Sensor

Samsung은 실리콘 딥 컨택 모듈과 면대면 Cu-Cu 하이브리드 본딩 모듈을 포함한 새로운 3웨이퍼 적층 6400만 화소 CMOS 이미지 센서(CIS)를 개발하는 데 성공했고, 3웨이퍼 적층 공정을 준비하고 최적화된 공정을 3개로 나누어 발표했다.

[그림 7]은 Samsung의 3단 적층 CIS 개념도로 Cu-Cu 하이브리드 본딩 기술을 활용한 6400만 화소 CIS 개발하는데 성공했다고 밝혔다. 다음은 최적화 공정에 대한 내용이다.



[그림 7] Samsung CMOS image sensor(CIS)

(1) 본딩 Void Free 기술: 본딩 인터페이스 평탄 도를

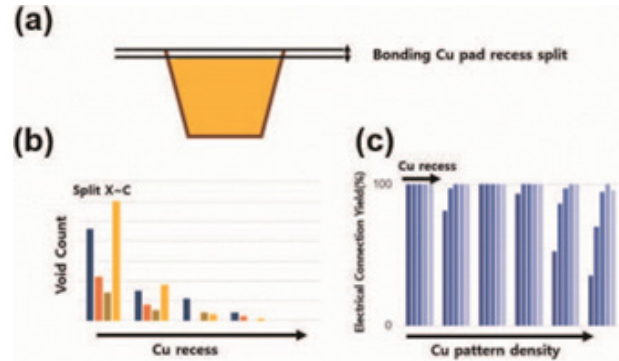
달성하기 위해 화학적 기계적 연마(CMP) 공정과 Cu Pad 패턴 밀도를 수정

본딩 인터페이스의 평탄도 문제를 해결하기 위해 다양한 관련 통합 공정을 수정하여 궁극적으로 안정적인 본딩 공정을 달성했다. 또한 칩 전체에 걸친 Cu Pad 밀도의 지속적인 변화를 제어함으로써 본딩 공극을 더욱 줄일 수 있었고 이러한 개선을 통해 3웨이퍼 적층 CIS를 성공적으로 제작했다.

(2) Cu Pad 윈도우 퀄리티

Cu Pad의 열팽창과 패턴 밀도를 고려하여 설계된 TEG 항목으로 직류(DC) 테스트를 통해 다양한 높이의 Cu Pad를 평가하고 최적의 조건으로 조정

[그림 8]은 CMP 공정 윈도우 평가 결과로 Cu 리세스의 양이 증가함에 따른 Void 수의 감소 및 Cu 품질에 따른 전기적 확인을 나타낸다. Cu Pad의 돌출에서 오목한 상황에 이르기까지 일련의 스플릿을 수행하고 본딩 공정의 안정성을 보장하기 위해 윈도우 평가를 수행했다[그림 8(a)]. Cu 리세스의 양이 증가함에 따라 Void의 수가 감소했다[그림 8(b)]. 또한, Cu의 패턴 밀도가 증가함에 따라 Cu Pad의 열팽창으로 인해 본딩 공정이 더 안정적으로 이루어지기 위해 Cu Pad가 더 오목하게 들어가야 한다는 것을 전기적으로 확인했다[그림 8(c)].

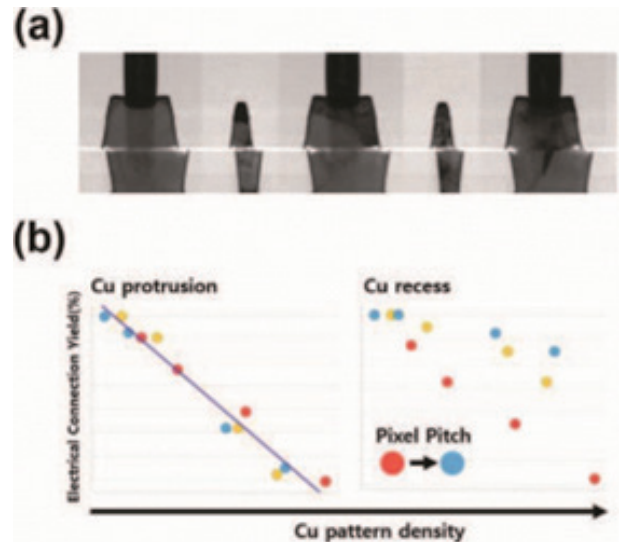


[그림 8] (a) Cu 리세스 분할의 간략한 그림. (b) Cu-Cu 하이브리드 본딩과 Cu 리세스 분할 후의 Void 분포도. (c) Cu 패턴 밀도 및 Cu 리세스에 따른 전기 수율 분포.

[그림 9(a)]는 TEG의 전기적 고장 지점에 대한 TEM 이미지 분석을 통한 Cu Pad의 팽창에 대한 추가적인 이미지다. [그림 9(b)]는 고정된 Cu 돌출 및 홈 값에 대해 Cu 패턴 밀도가 증가함에 따라 전기 수율이 감소하는 것을 관찰했다. 이 측면은 픽셀 Pitch에 대한 분할을 통해서도 조사되었다.

이러한 결과는 안정적인 본딩 공정을 달성하는 데 있어 Cu Pad 높이 제어의 중요성을 강조한다. Cu Pad의 높이를 최적화함으로써 본딩 공극을 효과적으로 줄이고 본딩 공정의 전기적 안정성을 향상시킬 수 있다.

[그림 10]은 3웨이퍼 적층 CIS의 e-RN 특성을 개선하기 위해 실리콘 딥 컨택과 Cu Pad 모듈에 다양한 수정을 진행한 결과이다. 실리콘 딥 컨택에서는 실리콘의 높이와 측벽 산화 막의 두께를 변경하고 Cu Pad의 높이를 조정했다. 이러한 사양을 최적화한 결과, 변환 이득(CG)이 약 32% 증가하는 눈에 띄는 개선이 관찰되었다. 결과적으로 e-RN이 약 14% 감소했다.



[그림 9] (a) 설계된 TEG에서 전기적 장애 지점의 TEM 이미지. (b) Cu 패턴 밀도 및 고정된 Cu 높이에 따른 전기 수율 분포.

이 발견은 이미지 품질 향상을 위해 무작위 노이즈를 줄이는 것이 중요하다는 점을 강조하며, 특정 요인을 효과적으로 조작하면 3웨이퍼 적층 CIS의 성능을 크게 향상시킬 수 있다는 증거를 제공했다.

본 발표에서는 인-픽셀 레벨 Cu-Cu 하이브리드 본딩과 실리콘 딥 콘택 모듈을 포함하는 3웨이퍼 적층 CIS 소자를 위한 새로운 공정 통합 접근법의 제시를 통하여 매우 작은 Pitch(1.0um Pitch 미만)에서 정확한 Cu-Cu 하이브리드 본딩을 성공 했다.

3) AMD 3.5D APU/GPU

AMD는 9um Pitch의 Cu-Cu 하이브리드 본딩을 사용한 3D 적층 CPU/GPU 다이, μ 범프를 사용한 3D 적층 HBM 다이(8/12-stack HBM3), 수동 소자를 2.5D 실리콘 인터포저에 통합한 첨단 3.5D APU/GPU 제품을 업계 최초 발표했다.

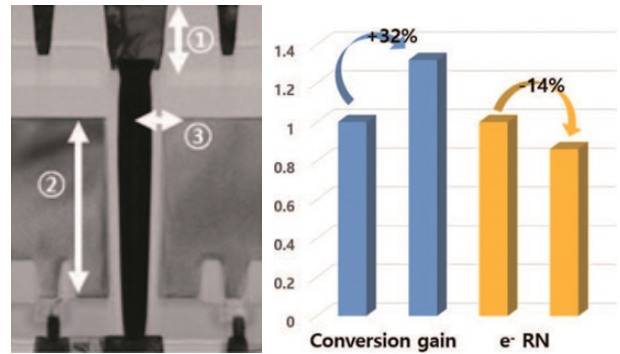
3.5D 기술은 하나 이상의 3D 적층 디바이스 또는 다이가 나란히 배치되고 실리콘 인터포저와 같은 2.5D 기술을 사용하여 연결되는 3.5D 패키징 아키텍처이며 기존의 3D integration 기술에 2.5D 기술을 접목한 것으로 3D 적층한 소자들을 인터포저를 이용하여 연결하는 방식이다.

2. Bonding 공정

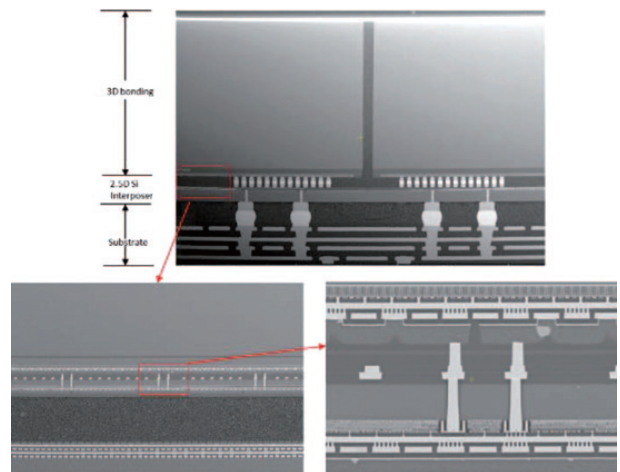
앞서 언급한 구조를 구현하기 위해서는 접합 공정이 매우 중요하다. 이 과정에서 많은 어려움이 연구되고 있다. 현재는 정렬 및 본딩 단계에 많은 시간이 소요되기 때문에 처리량이 제한되어 있다.

1) Toray의 정확성과 처리량 개선

Toray는 운영분석과 고정밀 제어 시스템 도입으로 정렬 효율을 높이고, 공정간 병목현상(Bottle Neck)을 줄임으로써 처리량을 크게 향상시켰고 100nm 미만의 정확도를 달성했다.



[그림 10] 실리콘 딥 콘택의 TEM 이미지와 3웨이퍼 적층형 CIS 디바이스에서의 실리콘 딥 콘택트 (청색) 및 수정된 공정 통합(황색)의 변환 이득 및 e- RN 비교.

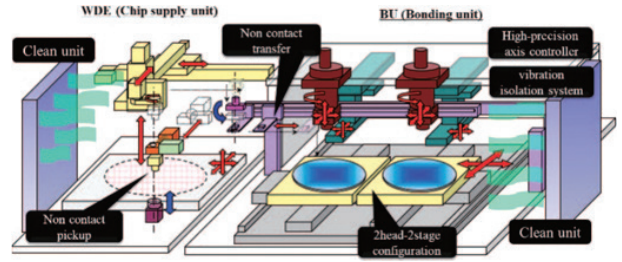


[그림 11] AMD 3.5D APU/CPURN 비교.

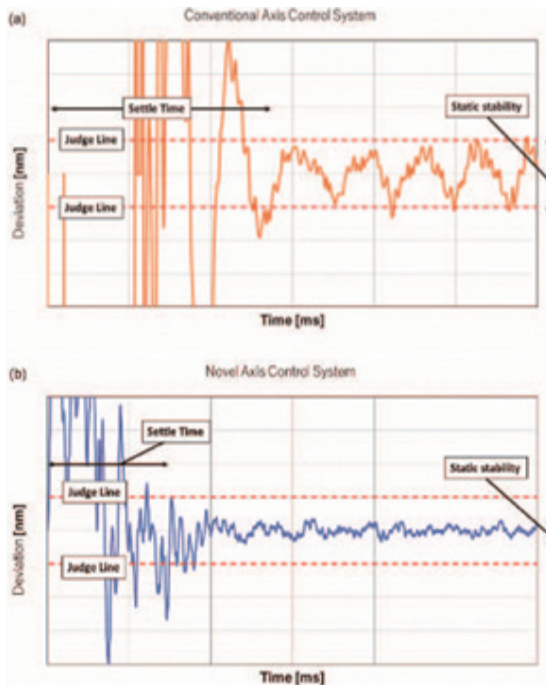
[그림 12]는 새롭게 개발된 D2W 하이브리드 본딩 시스템의 개념도이다.

이 구성은 다음과 같은 방법을 통해 높은 처리량 (2200 UPH)을 구현하면서 고정밀 정렬(0.2 μ m 미만) 시스템을 개발 했다.

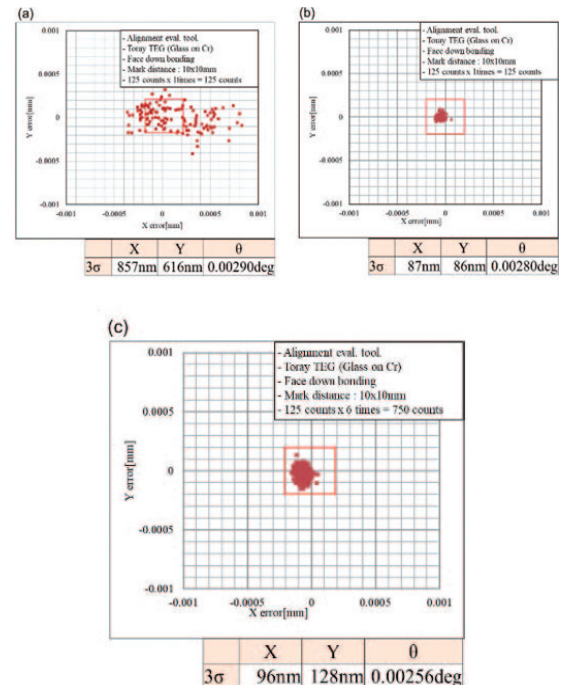
- 높은 처리량을 위한 모션 분석
- 높은 처리량을 위한 2헤드-2스테이지 구성
- 높은 정확도를 위한 고정밀 축 제어 시스템
- 진동 차단 시스템을 통한 정착 시간 단축



[그림 12] bonding system



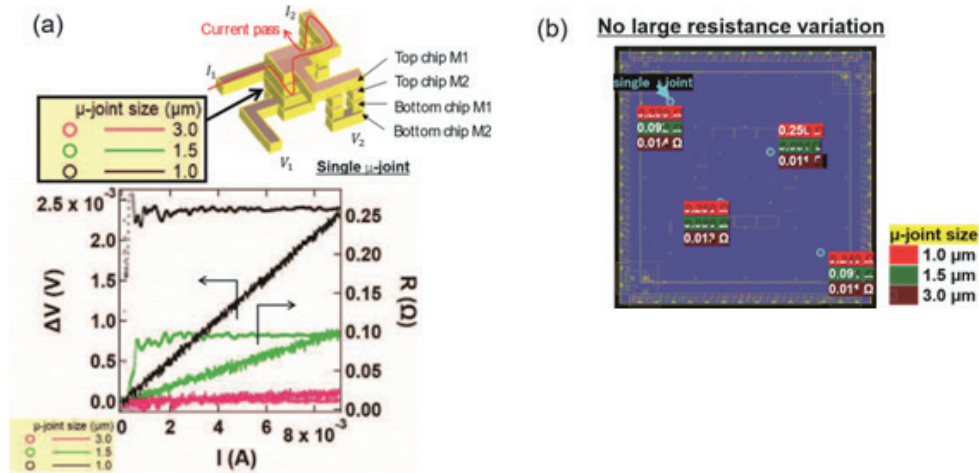
[그림 13] 축 정착 시간 및 정적 안정성 (a) 기존 축 제어 시스템 및 (b) 새로운 축 제어 시스템 비교.



[그림 14] 정렬 정확도 (a) 기존 방식 (b) 새로운 보정 방식 및 (c) 6회 반복한 새로운 보정 방식 RN 비교.

[그림 13]을 보면 새로운 고정밀 축 제어 및 진동 차단 시스템이 축 정착 시간을 1/2 이하로, 정적 안정성을 1/3 이하로 개선했음을 알 수 있다.

[그림 14]는 Cr 마크가 증착된 10mm × 10mm 유리 기판을 사용하여 확인된 125개 포인트의 정렬 정확도를 보여 준다. 그림 [그림 14(a)]에서 기존 방법을 사용한 정확도는 857nm@3 σ (X 방향) 및 616nm@3 σ (Y 방향)이다. 새로운 보정 방법은 [그림 14(b)]에서 정확도를 87nm@3 σ (X 방향) 및 86nm@3 σ (Y 방향)로 향상시켰다. 보정 방법을 6번 반복한 후에도 [그림 14(c)]의 값은 여전히 96nm@3 σ (X 방향)와 128nm@3 σ (Y 방향)를 기록했다.



[그림 15] 켈빈 패턴을 사용하여 측정한 1, 1.5, 3 μm 단일 조인트의 I-V 특성 및 저항(a)과 단일 결합 칩의 단일 조인트 저항 변화(b)

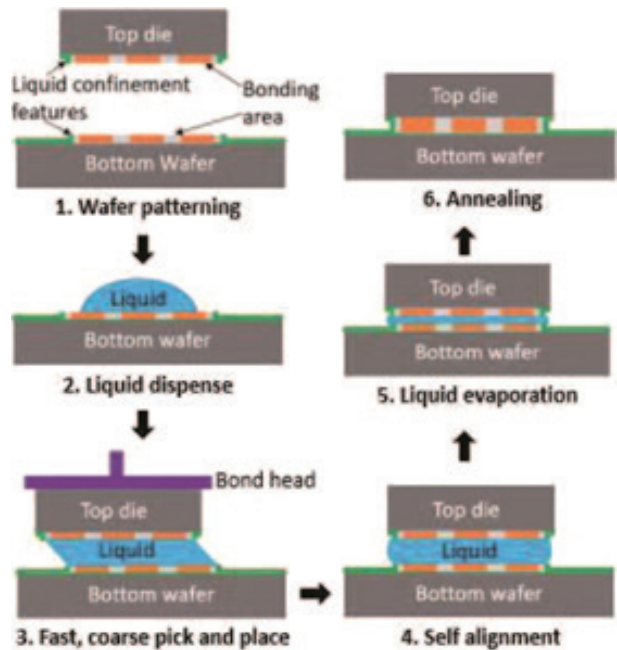
[그림 15(a)]는 Cu Pad 크기가 1 $\mu\text{m} \times 1\mu\text{m}$, 1.5 $\mu\text{m} \times 1.5\mu\text{m}$, 3 $\mu\text{m} \times 3\mu\text{m}$ 인 단일 조인트의 I-V 특성 및 저항을 보여준다. 켈빈 패턴을 사용하여 측정한 결과 전압은 전류에 선형적으로 비례하여 우수한 옴 관계를 나타낸다. 저항은 X, Y 및 θ 방향의 정렬 정확도에 따라 달라진다. [그림 15(b)]와 같이 칩 가장자리 부분은 이 칩의 중심과 거의 동일한 저항을 가진다.

향후 연구에서는 활성화된 표면의 시간적 변화 메커니즘을 검증하고, 독립형 구성으로 활성화된 표면 상태를 유지할 수 있는 본더 장비를 설계할 예정이다.

2) Intel의 유체 자기 정렬을 사용한 개선

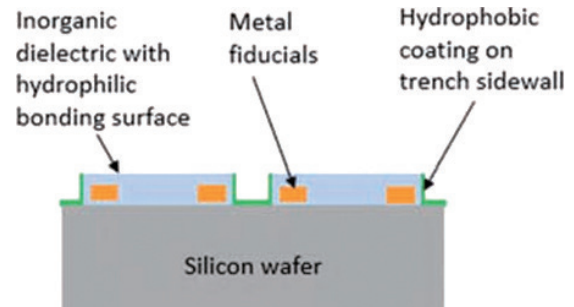
Intel은 유체 자기정렬(Self Alignment)을 사용하여 하이브리드 본딩 단계의 처리량을 개선하는 방식을 발표했다.

[그림 16]은 자기 정렬 하이브리드 본딩 프로세스 단계를 보여준다. 먼저 상단 다이와 하단 웨이퍼는 [그림 17]과 같이 본딩 영역을 둘러싸는 액체 감금 기능을 포함하도록 패턴화 된다. 다음 액체 방울이 하단 웨이퍼에 분사되고 상단 다이를 거친 픽 앤 플레이스 본더를 사용하여 이 방울과 접촉시킨다. 그런 다음 액체가 증발하고 표준 HB 공정(실온 유전체 결합 후 고온 어닐링으로 금속 인터커넥트를 형성)과 마찬가지로 D2W 결합이 진행된다.



[그림 16] SA HB 프로세스 단계: 1) 웨이퍼 패턴링, 2) 액체 디스펜스, 3) 다이 픽 앤 플레이스, 4) 셀프 정렬, 5) 증발, 6) 어닐링

이러한 방법으로 본더에서 분리될 때 다이가 액체 모세관 작용에 의해 이동하여 하단 웨이퍼에 자체 정렬되므로 리소그래피로 정의된 감금 기능에 의해 결정되는 매우 미세한 배치 정확도를 달성하게 됐고, 여러 개의 다이를 동시에 픽 앤 플레이스할 수 있는 빠르고 거친 배치 본더를 사용하면 오정렬을 50 μm 에서 0.2 μm 로 감소시키고, 처리량이 10배 이상 증가된다.



[그림 17] 물리적 패턴이 반영된 본딩 표면

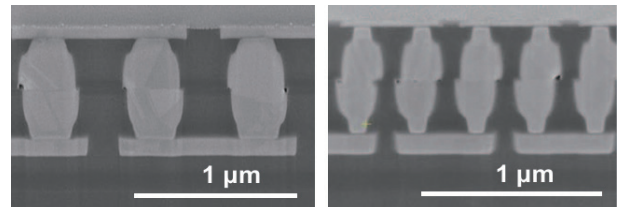
Intel의 분석에 따르면 이러한 처리량 증가는 전체 HB 공정 흐름에서 상당한 비용 절감 효과를 가져 올 수 있다고 주장한다.

3) Intel의 1 μm 이하 Pitch조절

인텔은 Pitch를 1마이크로 이하로 감소시킨 고밀도 하이브리드 본딩 적용으로 고밀도 I/O 구현 및 전력 절감 효과를 발표했다.

실험에서는 0.64, 0.48, 0.36 μm 총 세 개로 테스트를 진행 했다. 본딩전에 CMP공정으로 평탄 화를 시켰으며 Bond pad는 마이크로 이하의 본딩 Pitch를 위해 2nm 미만으로 지형을 제어 했다. 그 결과 본딩된 웨이퍼는 웨이퍼의 활성 영역 전체에 걸쳐 1% 미만의 Void를 보였다. Pitch가 작을수록 낮은 전력이 나타났다.

[그림 18]은 CMP를 통해 Backside Si를 제거한 후, 남은 Si와 유전 막을 CMP 공정으로 제거하여 전기 테스트를 진행하기 위한 후면 metal을 보여준다.

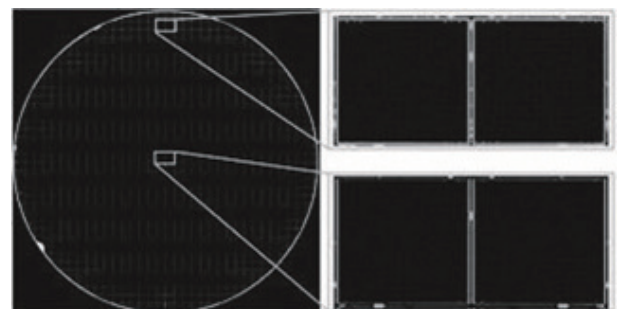


[그림 18] FIB SEM 이미지

[그림 19]에서 Die의 활성 영역은 우수한 본딩을 나타내며, 이는 활성 영역의 유전체 지형이 양호함을 나타낸다.

Intel은 이 공정에 대한 3가지의 도전 과제를 논의 했다.

- 가장 중요한 것은 Software, Vision system, Motion, 진동, 온도 제어 등 Bonder의 정확도
- 웨이퍼의 결함 수준: 공정의 청결도, 다이의 휨 수준
- Bonding 후 정확도 측정: Bonder를 더 정확하게 오프셋하기 위해 더 많은 개발필요

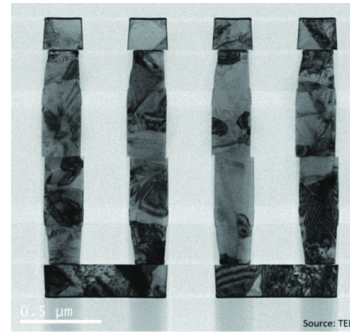


[그림 19] 중앙 다이와 엣지 다이를 고해상도로 확대한 Void가 없는 본딩 이미지

4) TEL의 1μ이하 Pitch 오정렬 정량화

TEL은 Misalignment와 전기적 성능 저하 사이의 관계를 연구하고 제시하여 misalignment budget을 예측하는 0.5μm Pitch 다중 레벨 BEOL 모델을 구축했다.

테스트를 위하여 [그림 20]과 같이 0.5μm Pitch 다중 BEOL로 제작을 하고, 저항과 오정렬 사이의 관계를 정량화하기 위한 구조를 반영시켰다.

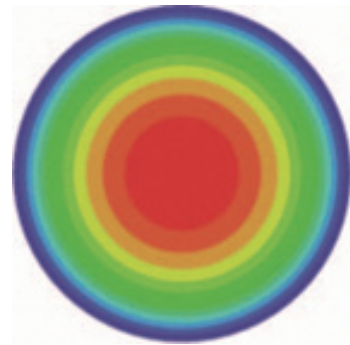


[그림 20] Test 샘플 단면

5) Samsung의 본딩 동작과 정렬예측 모델링

Samsung은 Chuck 변형, 웨이퍼 척킹, 핀 스트라이킹, 진공제거 등 다양한 물리학을 활용한 FEM 모델을 도입하여 W2W의 misalignment 예측 결과를 발표했다[그림 21].

본딩 정렬 오류는 해당 FE 노드 포인트 사이의 평면 내 거리를 계산하여 얻는 방식이다.



[그림 21] 척킹 후 하부 웨이퍼의 Z방향 변위

[그림 21]하부 웨이퍼의 z 방향 변위를 보여준다. 상부 웨이퍼의 경우에도 중앙 영역에서 핀 타격에 의해 웨이퍼가 볼록한 구성으로 변형이 발생한다. 이러한 웨이퍼의 변형을 통해 대칭 본딩을 실현할 수 있다. 이때 두 웨이퍼의 접촉은 [그림 22]과 같이 중심 영역에서 시작하여 가장자리 영역으로 퍼져나간다. 따라서 두 웨이퍼 사이의 간격, 하부 척의 변형 높이 등 본딩 전 장비 레벨 세팅이 최종 본딩 정렬에 큰 영향을 미치는 것은 당연하다고 주장한다. 본딩 레시피를 최적화하기 위해서는 상당한 시간과 비용이 필요하기 때문에 시뮬레이션 모델의 필요성을 강조했다.



[그림 22] 개발된 수치 모델에 설명된 본딩 전파

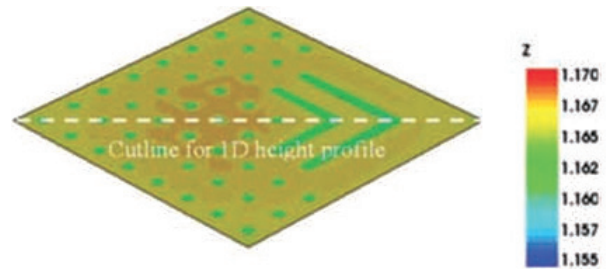
그 결과 실험 결과와 수치 결과의 매칭을 통해 개발된 FE 모델이 실험 데이터와 일치하는 결과를 제공할 수 있다고 언급하였다.

Top vacuum condition	Experiments	Numerical simulations	
Case 1 (Symmetric)			
Case 2 (Asymmetric)			

[그림 23] 상단 진공 조건에 따른 본딩 오정렬에 대한 실험 및 수치 결과

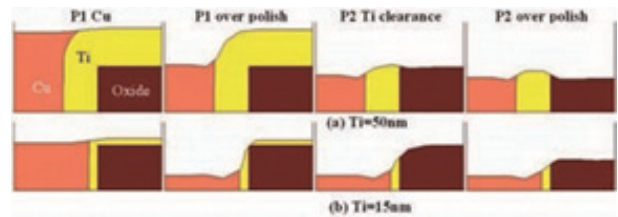
6) Synopsys의 3D 모델링을 이용한 CMP공정 최적화

Synopsys에서는 surface topology에 대한 접근 방식을 연구하여 Cu-산화물 하이브리드 본딩(HB)에 사용되는 화학적-기계적 연마(CMP) 공정의 3D 모델을 사용하여 실험 데이터에 맞게 보정된 후 Pad, 슬러리, 공정 조건 및 패턴 밀도를 최적화하여 우수한 하이브리드 본딩 웨이퍼 수율을 위한 평탄화를 최적화한 모델을 발표했다[그림 24].



[그림 24] CMP 후 시뮬레이션결과

[그림 25]는 공정 전체 2D 단면은 초기 Cu 제거 단계 이후 Ti 층이 두꺼워질수록 산화물 표면에 비해 Cu 표면이 더 높아지는 것을 보여준다. 이는 CMP 공정 조건에서 Cu 디싱 및 유전체 라운딩에 대한 실험 데이터와 일치하는 모델을 증명했고 배리어 레이어를 얇게 만들어 돌출을 방지할 수 있다는 것을 발견했다고 발표했다.



[그림 25] Ti 두께별 Cu 표면의 높이 비교

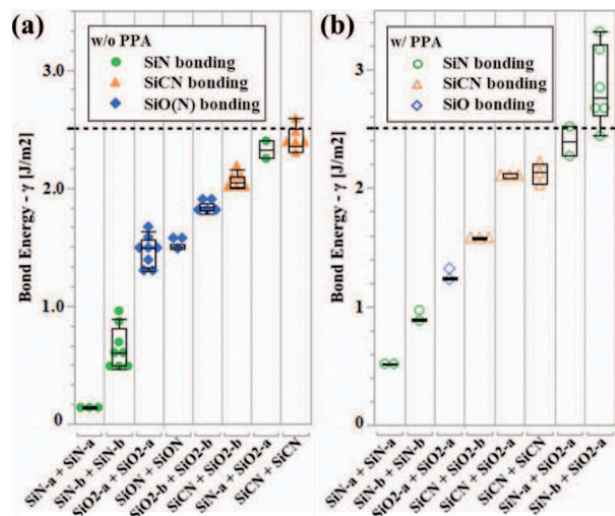
○ 특성 분석

하이브리드 본딩 표면의 본딩 품질을 개선하려면 관심 영역의 특성을 면밀히 조사해야 한다. 그러나 이 층은 다양한 재료로 이루어진 웨이퍼 사이에 끼어 있다. 따라서 특성 분석의 정확도를 높이기 위해 새로운 방법을 개발해야 한다.

1) Intel의 본딩 유전체 연구

Intel은 필름 조성, 탱글결합 및 다공성을 CSAM과 결합 계면의 결합 에너지와 연관 시켜서 다양한 산화물 유형의 결합(SiCN, SiO₂, SiN, SiON) 강도를 연구하기 위한 새로운 방법을 발표했다.

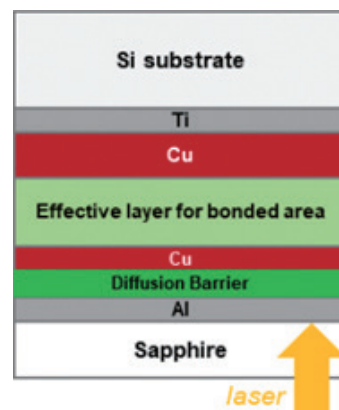
양전자 소멸 분광법(Positron annihilation spectroscopy) 분석 및 시뮬레이션을 통해 결합 계면에서의 나노 갭 밀도 정량화 입증에 성공했다. 그 결과 필름 증착 온도가 300°C이하인 비 수소화 SiN와 수소화 SiO₂ 사이의 접착 후 250°C로 어닐링한 결합의 접착강도 ($>2.5\text{J/m}^2$)가 가장 뛰어나다는 것을 입증했다 [그림 26].



[그림 26] 접합유형별 본딩 강도 결과

2) Seoul National University의 열 방출 연구

Seoul National University에서는 사파이어 기판과의 결합구조를 제작하여 열 특성 측정의 정밀도를 개선하였다. 이는 투명한 사파이어 기판을 사용하여 레이저 가열을 통한 시료의 열 방출을 연구할 수 있으므로 시간 영역 열반사율(TDTR)과 같은 광학 펌프-프로브 기술의 적용을 용이하게 하는 데 중점을 둔 방법을 발표했다.

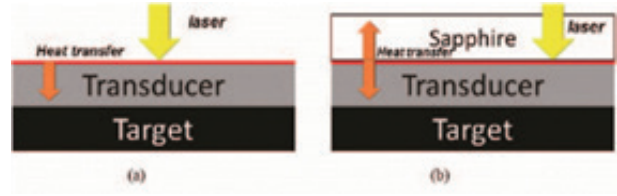


[그림 27] TDTR를 이용한 사파이어 기판을 시험구조

[그림 28]에서 일반적인 경우, [그림 28(a)]와 같이 측정 대상 재료에 알루미늄을 증착하지만, 임베디드

본딩 구조 내에서는 이러한 공정이 불가능하다. 문제를 극복하기 위해 이 분석 방법에서는 사파이어와 인터커넥트 레이어 사이에 트랜스듀서 레이어를 배치하여 빛을 투과할 수 있도록 했다. 이 설정에서 트랜스듀서 레이어가 사

파이어 기판 위에 위치하면 [그림 28(b)]와 같이 사파이어 쪽뿐만 아니라 반대쪽으로도 열이 흐른다. 이러한 양방향 열 흐름은 측정된 신호를 정확하게 계산하기 위해 모델링에서 고려했다.



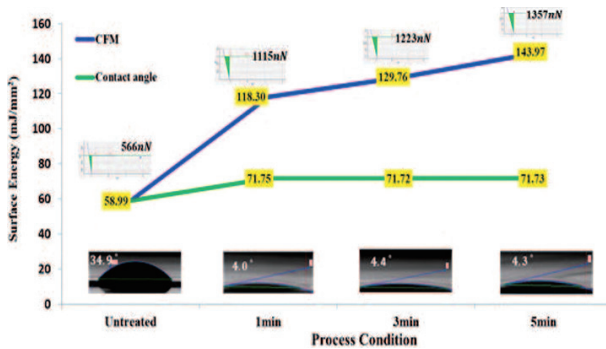
[그림 28] 열전달 모델: (a) 단방향 모델 (b) 양방향 모델

실험 결과는 샘플 준비, 탄탈륨(Ta) 확산 장벽 삽입 검

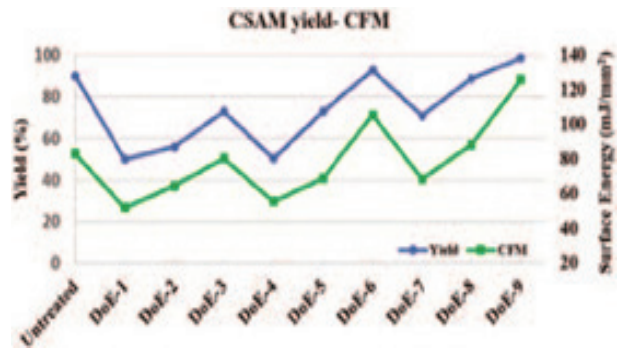
증, TDTR 및 양방향 열전달 모델링을 사용한 열전달 특성 분석을 포함하여 주요 파라미터를 정확하게 추출하고 결합 층의 복잡한 열 거동에 대한 광범위한 통찰력을 제공한다고 언급했다.

3) ASE의 플라즈마 처리의 연구

ASE는 플라즈마 영향은 본딩 품질에 중요하다고 언급했다. 하지만 물방울을 사용하는 일반적인 방법으로는 명확하게 관찰하기 어렵다. 따라서 활성화 레벨을 정의하고 최종 본딩 품질과 상관관계를 파악하는 CFM(chemical force microscopy)을 통한 새로운 방법을 발표했다[그림 29].



[그림 29] CFM 및 접촉각 감도 비교



[그림 30] CSAM의 표면 에너지와 하이브리드 본딩 수율 간의 상관관계

[그림 30]은 표면 에너지와 CSAM의 하이브리드 본딩 수율 사이의 명확한 상관관계를 보여준다. 표면 에너지가 높을수록 더 높은 수율을 달성하며, 특히 낮은 전력의 DoE-9에서는 다른 DoE보다 98.6%의 본딩 수율을 기록했다. 1.4%의 수율 손실 결합 모드는 환경으로부터 유입되는 입자에 의해 발생하는 Void이다.

OSAT의 새로운 플라즈마 다이싱 방법 개발이 다이싱 공정의 효율성과 품질을 개선할 수 있는 유망한 기술임을 주장했다. 이 연구의 또 다른 초점은 하이브리드 본딩에 필요한 표면 에너지 모니터링 및 처리 단계이다. 이 연구에서는 표면 에너지와 CSAM 수율을 모니터링한 결과, 하이브리드 본딩 후 표면 에너지가 높을수록 수율이 상당히 높아지는 것으로 일관되게 나타났다.

○ 새로운 소재 와 Copper의 영향

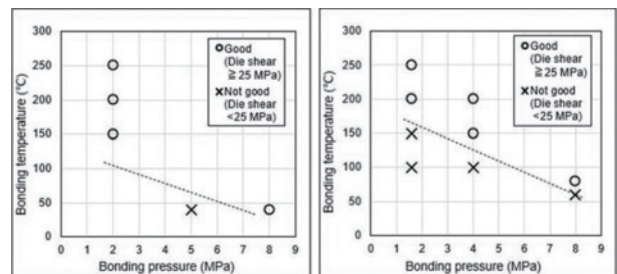
1. 새로운 소재

더 작은 Pitch에서 하이브리드 본딩의 유전체는 여러 가지 문제에 직면해 있다. 따라서 새로운 소재가 연구되고 제안되고 있다.

1) Toray의 유기 하이브리드 본딩을 위한 저온 가능 폴리마이드(PI) 개발

저온 경화에서 PI-PI 결합과 Cu-PI 하이브리드 본딩하여 실험을 한 결과를 발표했다. 그리고 PI-PI 간 결합 메커니즘을 각각 재료의 화학적, 물리적 측면에서 조사했다. 폴리이미드를 사용해 저온 조건에서 PI-PI 접합 테스트를 진행한 결과 플라즈마 활성화 처리에서 PI 표면의 수산화기, 카르복실기 등 친수성 작용기를 증사시켜 표면의 자유 에너지의 극성성분과 수소결합성분이 증가된 것을 발견했다.

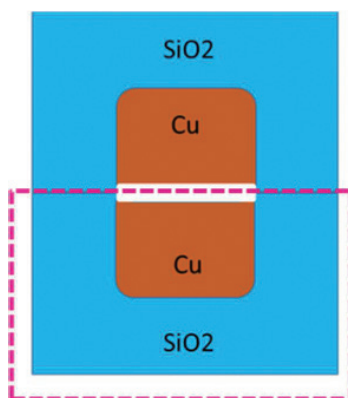
경화 온도가 낮은 폴리이미드를 사용하여 낮은 온도에서 우수한 접착 품질을 달성하는 것이 목표이다[그림 31].



[그림 31] 접착 온도 및 압력이 접착 강도에 미치는 영향 결과

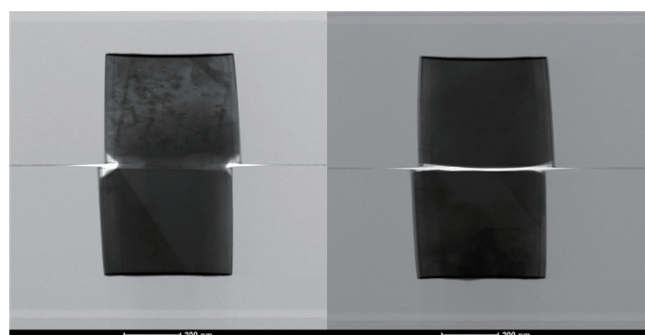
2. 하이브리드 본딩에서의 Copper

1) TEL의 Cu 확산 Modeling



Single Cu pillar modeled

[그림 32] Cu의 열팽창 및 표면 확산모델



(a)

(b)

[그림 33] 500nm 1:1 기능의 어닐링 후 TEM((a):16nm/ (b):20nm recess)

최근 하이브리드 본딩 실험에서 Cu 팽창에 대한 흥미로운 현상이 발생하고 있다. 크기가 다른 본딩 Pad에서 Cu는

작은 Pad의 빈 공간으로 팽창할 수 있다. 이를 "Bulge-out"이라 한다. TEL은 이에 대해 연구하는 모델을 만들었다 [그림 32].

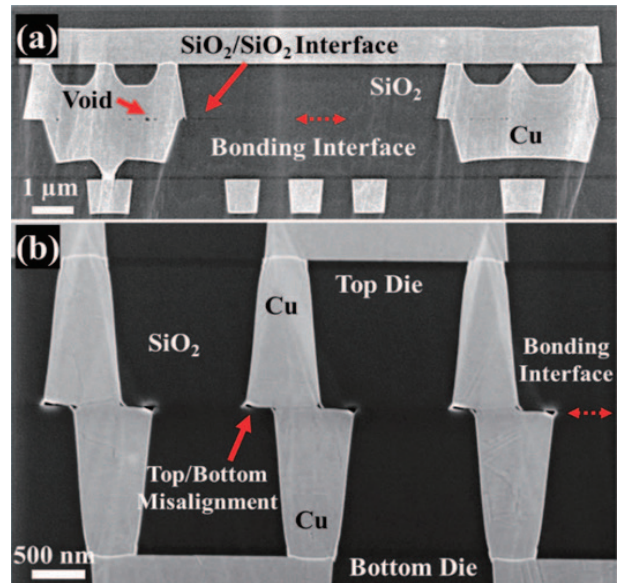
[그림 33]은 16nm 및 20nm의 recesses에서 본딩 및 어닐링 후 TEM 이미지이다. Cu는 충분히 가까워져서 [그림 33(a)]에서처럼 접촉하고 본딩이 발생했다. 만약 접촉이 달성되지 않거나 충분한 수준으로 달성되지 않은 경우, 웨이퍼가 냉각되고 열팽창이 제거되면서 인터페이스가 후퇴하게 되어 [그림 33(b)]처럼 웨이퍼 사이에 명확한 틈이 존재하지만 bulge-out에 의해 유도된 형태는 남아있게 된다.

2) IBM과 Yang Ming Chiao Tung University의 Copper Bonding Mechanism

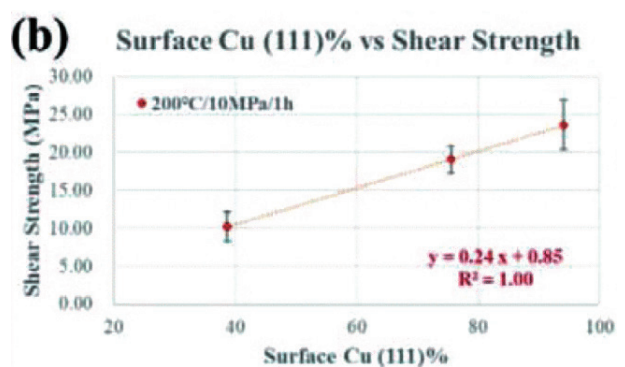
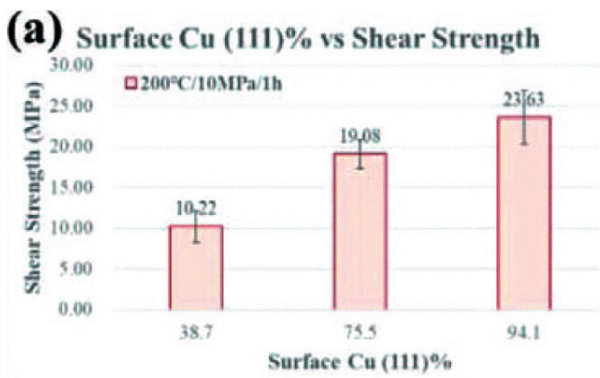
많은 연구자들에 의해서 Cu 결합 메커니즘이 집중적으로 연구되고 있다.

IBM과 Yang Ming Chiao Tung University는 이에 대한 두 가지 연구를 보여준다. Cu(111) 배향은 본딩 품질에 상당한 영향을 미치는 것으로 나타났다. (111) 비율이 높을수록 계면 전체에서 Cu 확산과 입자 성장이 용이하고 Void가 감소하며 본딩 강도가 향상된다 [그림 34].

Pad 크기가 작을수록 입자 형성의 영향이 훨씬 더 중요하다. 이는 입자의 수가 더 적고 접촉하는 입자의 특성이 더 중요하기 때문이다. 이는 Cu의 확산에 영향을 미치고 접착 강도의 변화를 초래할 수 있다. 따라서 Cu 입자 크기, 입자 방향 및 상하 다이의 수를 정밀하게 제어하는 것이 더 나은 본딩 품질을 만드는 데 유리하다고 발표했다.



[그림 34] Cu Pad 크기별 단면



[그림 35] (111) 표면 백분율과 전단 강도 사이의 관계 (a) 막대 차트, (b) Trend line. 전단 강도는 Cu의 (111) 표면과 관계

[그림 35]는 본딩된 sample의 측정된 전단 강도와 Trend line을 보여준다. 표면 비율이 38.7%(111)인 sample의 전단 강도는 10.22MPa이고, 표면 비율이 75.5%로 증가함에 따라 전단 강도는 19.08 MPa로 증가했다. 표면 비율이 94.1%(111)인 시편의 경우 23.63MPa에 도달했다. 결과를 보면 (111) 표면비가 결합 강도에 큰 영향을 미친다는 것을 나타낸다.

[그림 35(b)]는 전단 강도와 표면 Cu (111) 비율 사이의 Trend line을 보여준다. 표면 Cu (111) 비율과 전단 강도 사이에 높은 상관관계가 있음을 보여준다. 상관관계는 약 1.00이다. 이는 표면(111)비가 이 연구에서 가장 지배적인 파라미터였다는 것을 의미한다. 표면 Cu(111)비가 증가함에 따라 전단강도도 함께 증가했다. 또한 표면 Cu(111) 비율이 75%에 도달하면 전단 강도는 20MPa에 도달했다.

3) Copper 표면처리

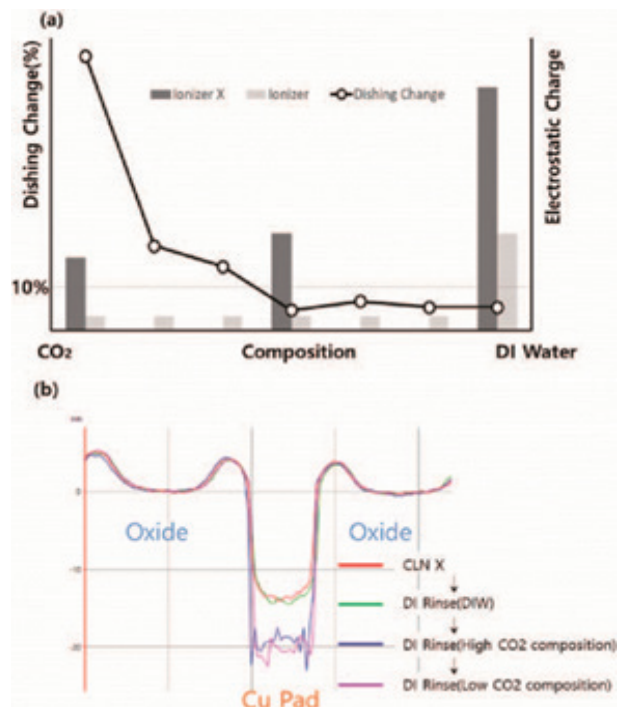
하이브리드 Cu 본딩 기술(HCB)은 전력 효율, 밀도, 속도, 대역폭, 방열 등 다양한 장점으로 인해 고대역폭 메모리 (HBM) 분야에서 널리 연구되어 왔으며, Cu Pad와 직접 연결할 수 있다. 좋은 접착 품질을 얻으려면 Cu 표면 처리가 중요하다.

(1) Samsung의 HBM 다층 적층을 위한 연구

Samsung은 다이 표면의 수산기의 밀도를 높이기 위해 플라즈마 처리와 DI Water 행굼 공정을 적용했고, 다이와 DI Water 사이의 마찰로 인한 정전기 방전(ESD) 손상을 방지하기 위해 DI Water에 CO2 Bubbling을 추가하여 저항을 줄였다.

[그림 36(a)]는 DI Water 조건에 따른 Cu Pad 디싱 및 정전하의 변화를 보여준다. DI 행굼을 반복했을 때 높은 변화에서는 디싱 변화가 발생하고 낮은 결과에서는 변화가 발생하지 않는 것을 알 수 있다[그림 36(b)]. 이러한 DI Water에서의 Bubbling 최적화는 Cu Pad 디싱을 효과적으로 제어할 수 있다. 이는 HBM-HCB 제품의 전기적 연결성을 향상시키는 데 기여할 수 있다.

높은 CO2 DI Water로 DI 행굼을 반복하면 Cu의 용해로 인한 갭이 커지는 것을 발견했다.



[그림 36] (a) 다이싱 변화 및 정전하 vs 조성 (b) DI Water 행굼 후 Cu Pad 상태

또한 DI Water 에서 CO₂의 양을 늘리면 H⁺이온이 증가하고, 줄이면 H⁺이온이 감소하는 경향을 보여 ESD 위험이 증가함을 보였다.

(2) Tohoku University의 다기능 자기 조립 단층

Tohoku University는 공기중에서 뿐만 아니라 플라즈마 노출 시에도 Cu산화물 제거, Cu 표면 보호, 하이브리드 결합(HB)의 온도 범위 이하에서 탈착/ 분해 등 여러 기능을 갖춘 자가 조립 단층 MF-SAM(Self-Assembled-Monolayer) 소재인 SQ-1에 대해 발표했다.

SQ-1 MF-SAM은 HB 전에 공기 중에서 몇 일, 몇 주 동안 CMP-ed Cu 본드 Pad/전극의 금속 표면에서 보존이 가능했다[그림 38].

[그림 39]는 Cu, O, C, N에 대한 Core Level XP 스펙트럼에서 추출한 XPS 깊이 프로파일이며, 그림에서는 Cu와 O만 강조 표시했다. 3 Sample 모두 어떤 종류의 산화물 제거 공정도 거치지 않았기 때문에 SAM 코팅 전의 표면 상태는 모두 동일하다.

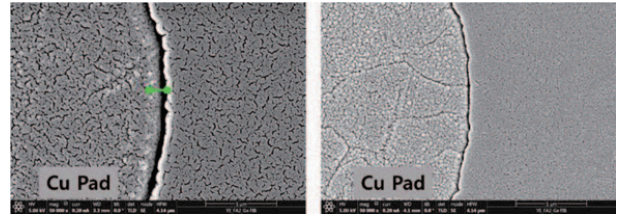
새로 개발된 SQ-1로 부동 화시킨 Sample은 연구한 모든 Sample 중에서 산소 농도가 매우 낮았으며(4~5 nm), 상용 SAM에서 관찰된 것(12nm)의 5분의 1에 불과했다.

4) Copper Dishing 정밀 제어

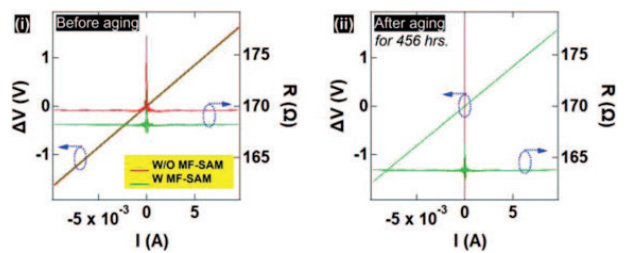
Pitch가 작아질수록 Cu 디싱을 정밀하게 제어하는 것이 매우 중요하다. 특히 Cu 디싱을 결정하는 화학적 기계 연마(CMP)공정은 칩 간의 안정적인 상호 연결을 하는데 매우 중요하다.

(1) Samsung의 Cu 다층 본딩 기술 연구

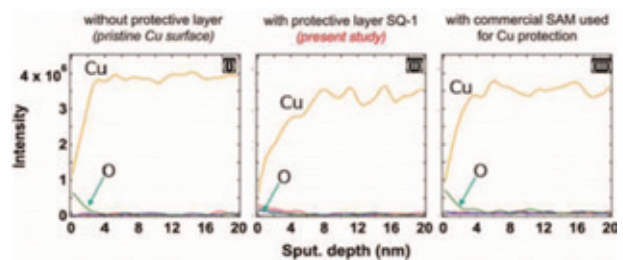
Samsung은 CMP 공정, BEOL 구조 최적화를 통해 Cu Pad 다이싱 값을 제어하고 팽창률과 변형 해석을 통해 Cu 다이싱을 안정적으로 예측을 통하여 16H HBM에서 전기적 연결 안정화에 성공했다.



[그림 37] Water 의 CO₂양에 따른 이미지 (좌 High CO₂/우: Low CO₂)

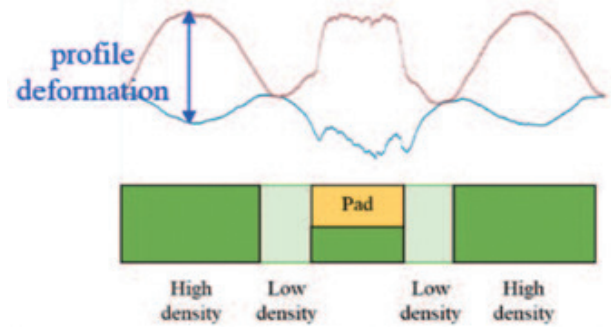


[그림 38] Cu 조인트의 저항값 특성(좌: 에이징 전/ 우: 에이징 후)



[그림 39] Sample의 Cu, O, C 및 Ncore 원소 레벨에 대해 얻은 XPS 깊이 프로파일
(i) SAM이 없는 경우, (ii) SQ-1, MF-SAM, (iii) 시판되는 구리 보호용 SAM

[그림 40]은 각 구조의 온도 변화에 따른 Cu 패드 프로파일 변화를 보여준다. 고밀도 BEOL 구조를 가진 구조의 경우, 프로파일 변형이 발생하여 Cu-Cu 접촉을 방해하는 요소로 작용하여 연결이 어렵다. 저밀도 BEOL 구조의 경우, 프로파일 변형이 발생하지 않으므로 Cu-Cu 접촉이 유리하다. 동일한 Cu 팽창에도 불구하고 Cu-Cu 결합이 어렵다고 주장했다.

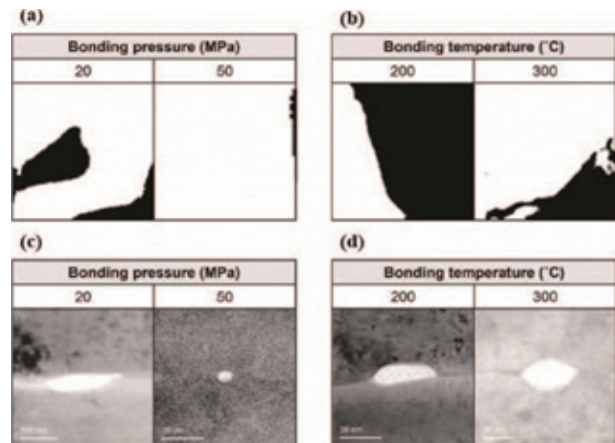


[그림 40] Cu Pad 프로파일의 온도에 따른 변화

(2) Sungkyunkwan University의 Cu-Cu 본딩 품질에 대한 연구

Sungkyunkwan University는 본딩에서 Void 폐쇄를 담당하는 Cu의 움직임이 온도와 압력에 따라 달라진다는 것을 발표하였다.

[그림 41]의 (a)와 (b)는 주사 음향 단층 촬영(SAT)이 이미지로 밝게 대비되는 영역은 성공적인 결합을, 어둡게 대비되는 영역은 박리를 나타낸다. SAT 결과는 압력과 온도가 증가함에 따라 결합된 영역이 증가함을 나타낸다. 또한 (c)와 (d)는 절단된 면의 TEM이미지이다.



[그림 41] 다양한 조건의 본딩 인터페이스에서의 SAT 및 TEM 데이터

5) Copper 신뢰성

(1) Yang Ming Chiao Tung University의 EM에 서의 본딩 실패 메커니즘 연구

Cu 신뢰성도 관심의 대상이다. Yang Ming Chiao Tung University에서는 전기 이동 응력 중에서 저온에서의 Cu-Cu 본딩의 실패 메커니즘을 연구했다.

130°C의 전자이동 테스트에서는 약 7,900시간에 가까운 수명을 보인 반면 150°C의 전자이동 테스트에서는 MTTF(Mean-time-to-failure)는 3,000시간으로 감소했다[표1].

EM condition	150 °C 10 ⁵ A/cm ²	130 °C 10 ⁵ A/cm ²	130 °C 2×10 ⁵ A/cm ²
Average lifetime (h)	3778	6774	4671
MTTF (h)	3000	7900	4200

[표 1] EM 수명의 평균 고장시간

재결정화 및 입자 성장으로 인해 접합계면이 사라진 조인트에서 저항 감소가 관찰되면 최대 10,000시간까지 수명이 연장된 경향을 보였다. 본딩 계면의 품질이 EM(Electromigration) 신뢰성에 결정적인 영향을 미치고 고장 메커니즘에 영향을 미친다는 것을 발표하였다.

○ 결론

이번 컨퍼런스에서는 다양한 주제가 발표 되었다. DI Water의 CO₂가 Cu에 미치는 영향, CFM을 이용한 접합 품질 연구, 시뮬레이션을 이용한 본딩 계면, 본딩 정렬 등 많은 연구가 발표 됐다. 주요 주제는 하이브리드 본딩과 구리 본딩 품질 향상에 관한 것이다. 그중 중요하게 언급된 부분은 접합 계면의 표면 처리이다.

Cu는 뛰어난 열적, 전기적 특성을 제공하여 하이브리드 본딩의 금속 재료로 활용되며, 접합면에서의 신뢰성 확보를 위해 표면의 청정도와 평탄도를 유지하는 것이 중요하다. 이를 통해 밀착력이 높아져 전기적, 열적 능력을 극대화할 수 있다. 그러나 Cu 표면에 산화막이 형성되면 접합강도가 낮아지고 저항이 높아지기 때문에 산화 방지 처리가 필수적이다.

또한 하이브리드 본딩에는 열팽창률이 다른 다양한 소재가 사용되어 열 응력과 변형에 취약해 질수 있다. 특히 고온 열처리가 되지 않는다면, 박리와 소재 변형이 일어날 수 있기 때문에 이에 대한 처리가 중요하다.

첨단 패키징의 접합 계면 처리 및 이를 분석하기 위한 분석이 성숙 된다면 5G 및 AI 분야에 안정적으로 적용이 가능할 것으로 기대 한다.