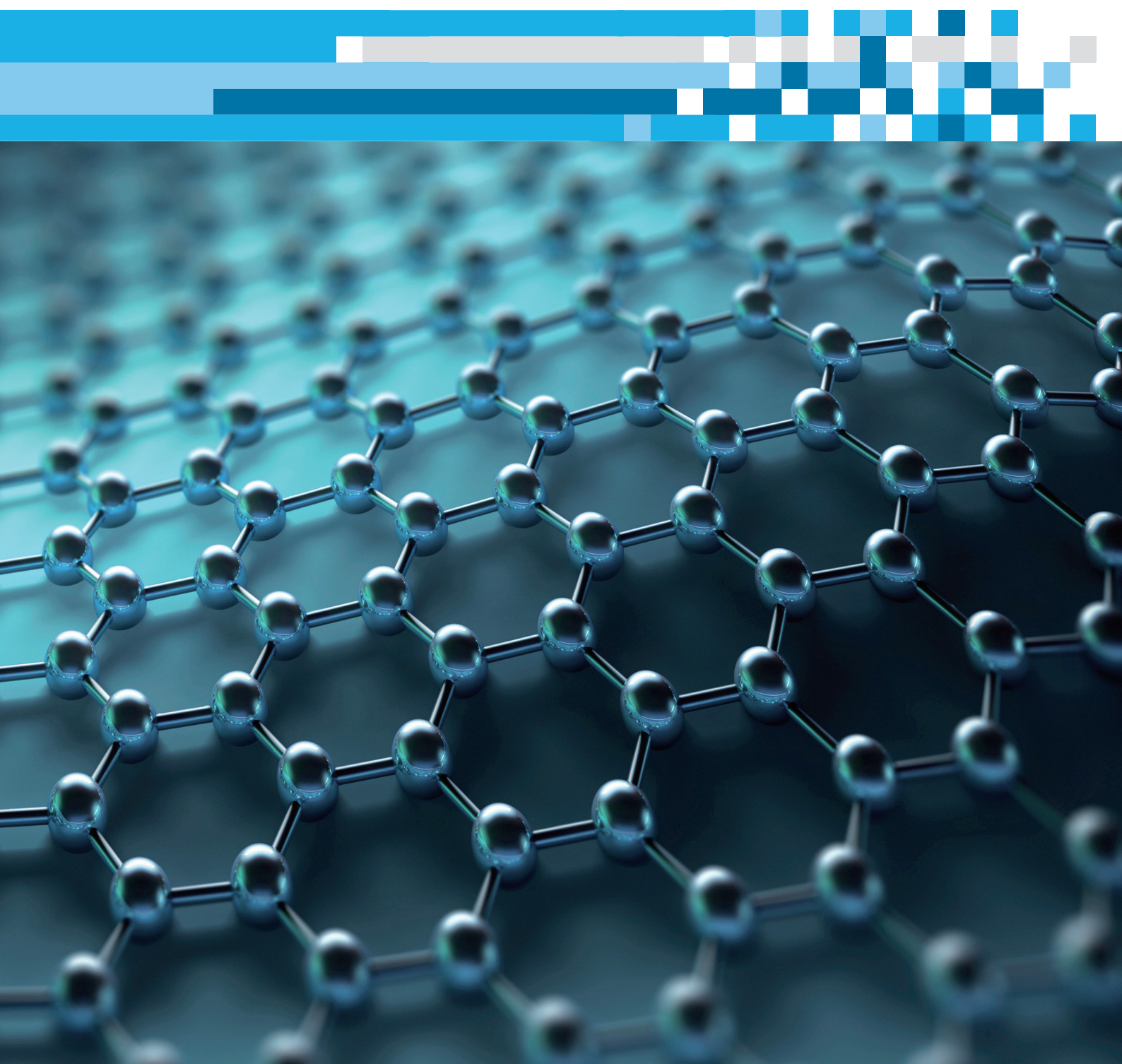


3D나노융합소재연구센터 기술리포트

2022년 10월호



센터장 인사말



안녕하십니까?

3D나노융합소자연구센터장 최리노 입니다.

저희 3D나노융합소자연구센터는 2019년 인하대학교 부설연구기관으로 설립되었습니다.

반도체 산업의 발전은 잭 킬비와 로버트 노이스가 1950년대 말 집적회로를 발명한 이후 소자미세화를 통해 이루어졌습니다. 소위 '무어의 법칙'으로 불리는 소자미세화의 빠른 발전은 반도체 산업을 명실상부 세계 최고의 산업으로 만들었습니다. 그러나 이러한 소자미세화가 물리적 한계에 가까워지며 새로운 발전 방향을 생각해야 할 시점이 돼가고 있습니다.

3D나노융합소자연구센터는 3차원 집적을 통한 반도체의 발전을 연구하기 위해 만들어졌습니다. 전공정, 후공정 등 다양한 방법을 통한 3차원 집적 기술을 연구하고 이 결과를 소자, 장비, 소재 기업들과 공유하여 미래의 국가 산업으로 키우는 것을 목표로 하고 있습니다.

여러 연구기관, 기업들과의 협업을 통해 컨소시엄 기업들이 필요한 연구서비스를 제공하는 연구센터가 되도록 하겠습니다.

감사합니다.

3D나노융합소자연구센터장 **최리노**

3D 나노융합소자 연구센터 소개

VISION

인천 및 서부경기권 후공정 반도체 산업의 허브
반도체 이종집적 분야 세계적 연구소 발돋움

핵심목표



전략

컨소시움 기업들의 수요를 기반으로 선도적 대응체계 마련



역 할

- 차세대 반도체 소자의 소재·부품·장비·공정 분야 융·복합 공동연구
- 3D 나노융합소자의 요소·원천기술 개발
 - Monolithic 3D 소자, Heterogeneous integration (하이브리드 본딩)
- 시설, 장비 공동활용 및 공정/분석 지원 서비스
 - 최신 분석장비를 보유한 표준분석연구원의 유기적인 지원과 협업

| 인프라 구축 현황 |

- CMOS 소자 제작을 위한 최적의 청정실 구조
온도($22 \pm 2.8^\circ\text{C}$), 습도($50 \pm 10\%$), 청정도(Class 100/1000)
유틸리티(전기, 압축공기, 냉각수, 공정가스) 중앙 공급 시스템
가스캐비닛, 경보시스템, 스크러버 및 케미컬 드레인 설비 보유



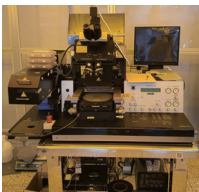
PHOTO ROOM



PROCESS ROOM



| 소자제작 | Fabrication facilities in Clean room



Mask aligner(MA6)



DC-Sputter



ALD



RF-Sputter



RTA



LPCVD



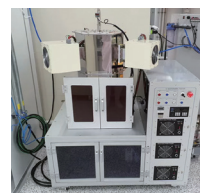
PECVD



Spin coater & OM



Wet bench



Microwave



ICP Etcher



Yellow Room

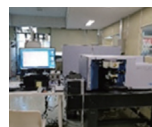
| Analyzers |



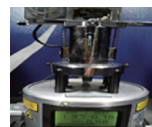
XRD



XPS



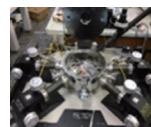
RAMAN



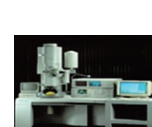
AFM



Ellipsometry



4 probe station



TEM



SEM

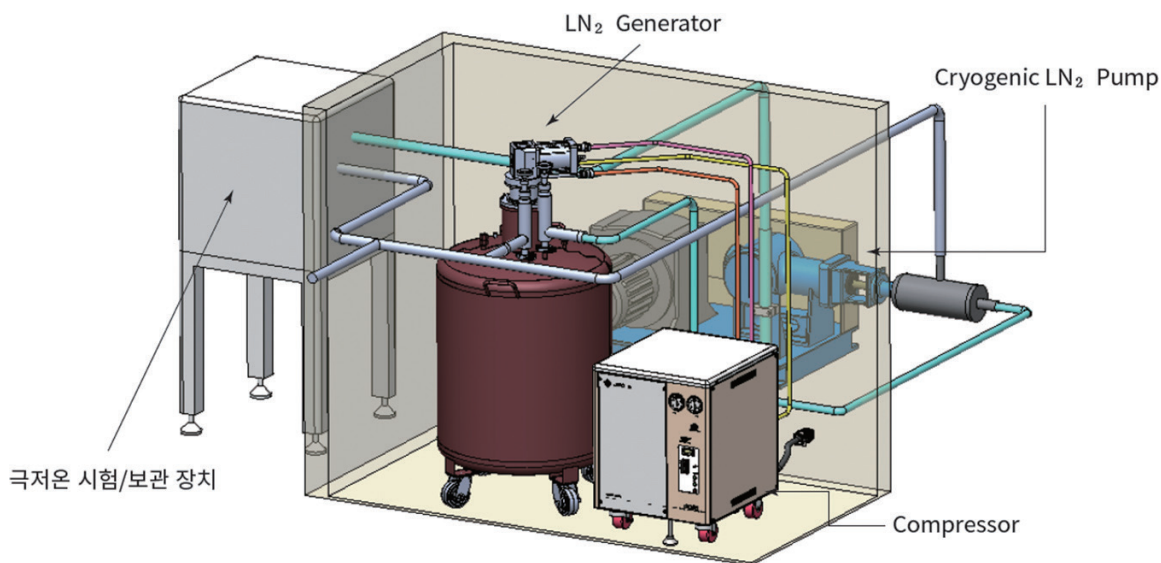
학·연·산 협력 기술사업화 성과

| 성과의 개요 |

- 3D나노융합소자연구센터(인하대)는 3D 적층반도체 특성평가를 위한 장치를 개발하여 저온공정하에서 소자 특성을 개선할 수 있도록 평가 개발에 대한 환경 제공하고자, 컨소시엄기업 크라이오H&I사와 산학협력을 통해 액체질소 발생기(LN2 Generator) 및 순환 장치(Circulator)를 개발하였고, 현재 기술사업화를 진행 중.

| 성과의 내용 및 우수성 |

- 3D 적층반도체소자의 특성 평가를 위해서는 저온의 환경을 오랜 시간 지속적으로 유지하는 것이 필수적임.
- 기존의 장비들은 극저온 환경이 필요할 때마다 액체질소를 투입하여 냉각하고, 가스를 공기 중으로 배기하는 방식으로, 공급된 액체질소는 회수하지 못함.
- 새롭게 개발된 시스템은 대기 중의 일반 공기를 이용하여 기체질소를 극저온 냉동기로 액화시켜 액체질소를 자동공급하여 외부에서의 보충 없이 액체질소를 생성 및 재액화하여 순환시킴으로써, 영구적인 극저온 시험 환경 및 보관 환경을 제공할 수 있고,극저온 취급에 따른 안전 사고도 예방이 가능함.



Specifications(GenCryo LN2-GC40)

LN2 생성 능력 (ℓ/day)	40	전력 소비량 (Kw)	12
LN2 순도	>99%(<1.0% O2)	전원장치 (3Φ+neutral)	220V 3P, 50/60Hz
LN2 Generator 용기용량 (liters)	160	순환펌프 유량	50-150 L/H
처리능력 (m³)	26	순환펌프 흡입 압력	0.02-8bar
총 중량	275 Kg	순환펌프 최대 토출 압력	165bar

컨소시엄 기업 리스트

NEXTIN
Solutions

LAT LEADER OF
ADVANCED
TECHNOLOGY

PSIK

JCET

포토메카닉
(주)포토메카닉

KANC
한국나노기술원

scinco

GeoSR
주 지오시스템리서치

KIST 한국과학기술연구원
Korea Institute of Science and Technology

SEC
e-beam pioneer

KOSTEK

KITECH
한국생산기술연구원

Can Number One
CN1

크라이오 에이치앤아이(주)
Cryo H&I

HIMS

SSP
SMART SPEED PERFECT

CRESSEM
CREATIVE ASSEMBLY



Contents

01 하이브리드 본딩을 위한 초미세피치 접합이 가능한 신정렬 기술 개발

09 레이저를 이용한 반도체 공정

15 산화물반도체 TFT 소자 성능 개선 연구

레이저를 이용한 반도체 공정



하이브리드 본딩을 위한 초미세피치 접합이 가능한 신정렬 기술 개발

이종집적 (Heterogeneous integration)

- 모바일, 모바일, IoT 등의 발전으로 다기능화 및 고집적화, 다양한 폼팩터를 갖는 시스템의 필요성이 증대됨
- 이러한 수요를 만족시키고 System-on-chip (SoC)의 수율 저하와 비용증가의 한계를 극복하며 집적도 및 다기능화할 수 있도록 다양한 칩을 패키지에서 접합하여 구성하는 기술이 발전하였는데 이를 통칭하여 '이종집적'이라고 함
- 최근 다양한 기능의 칩, 또는 다양한 기술 노드의 칩을 조각조각 붙이는 Chiplet design의 다양한 이종집적 기술에 대한 연구가 활발히 이루어지고 있음

다양한 소자의 출현 및 기능 융합

전통적인 로직과 메모리 이외에 센서, RF소자, 전력소자, 광소자 등 많은 종류의 소자가 출현

반도체 시장의 다양화

모바일, HPC, Data Centers, IoT, 자동차 등 응용분야도 매우 다양해지며 여러가지 기능을 다르게 조합하여 집적해야 함

고 대역폭 제품의 증가

게임, 서버, AI 시장의 확대로 각 소자간 고 대역폭 (high bandwidth) 제품의 증가

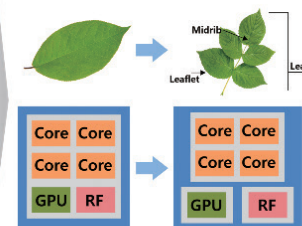
전공정 소자미세화의 한계

WHILE COSTS CONTINUE TO INCREASE

INCREASING DIE SIZES ARE ECONOMICALLY PROBLEMATIC

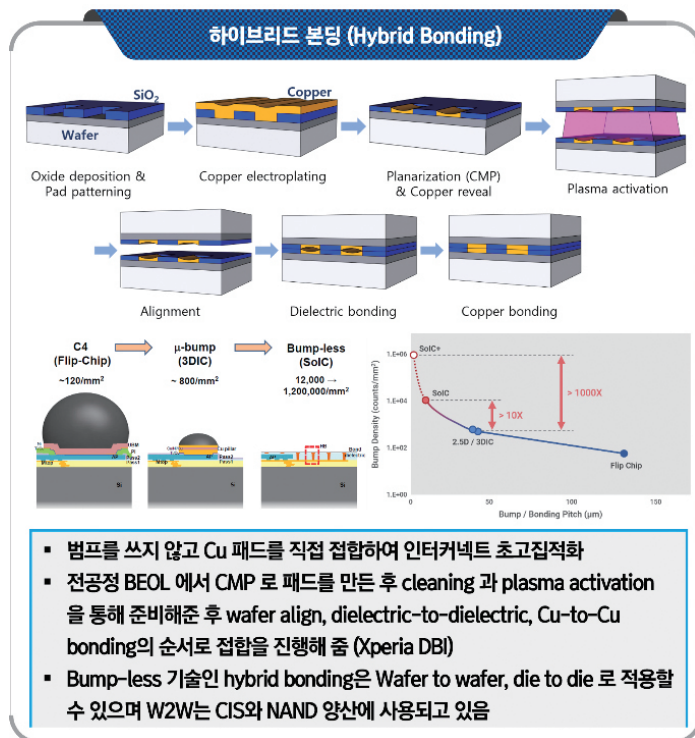
- 전공정 소자미세화는 점점 느려지고 있으며 비용이 크게 상승 중
- Die size의 증가는 수율의 감소를 동반

“ 초고밀도 I/O 를 갖는 칩렛디자인 구현 필요 ”



하이브리드 본딩 (Hybrid Bonding)

- 칩간 데이터양의 증가로 인해 IC 패키징 구성 요소들 간의 신호 integrity의 중요도가 증가함. 그러나, 소자 크기의 감소와 더 많은 구성 요소가 데이터의 처리 및 저장을 위해 추가됨에 따라 더 많은 I/O 확보를 위한 기술이 요구됨
- 하이브리드 본딩은 칩간 연결을 위해 두 칩의 절연체인 산화막과 산화막, 신호라인인 금속과 금속이 붙도록 범프없이 두 칩을 접합하는 기술로 범프를 사용하는 기술 대비 패드 간의 피치를 줄여서 많은 수의 I/O를 확보할 수 있음



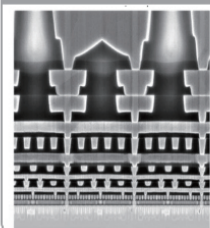
“ 초고밀도 I/O 를 갖는 칩렛디자인 구현이 가능한 하이브리드 본딩 기술 ”

Die to Die, Die to Wafer 하이브리드 본딩



CPU코어, GPU + HBM 등 매우 비싼 제품 간의 이중접합에 이용되므로 Good die 를 찾아서 결합을 함, 그러므로 D2D, D2W의 결합

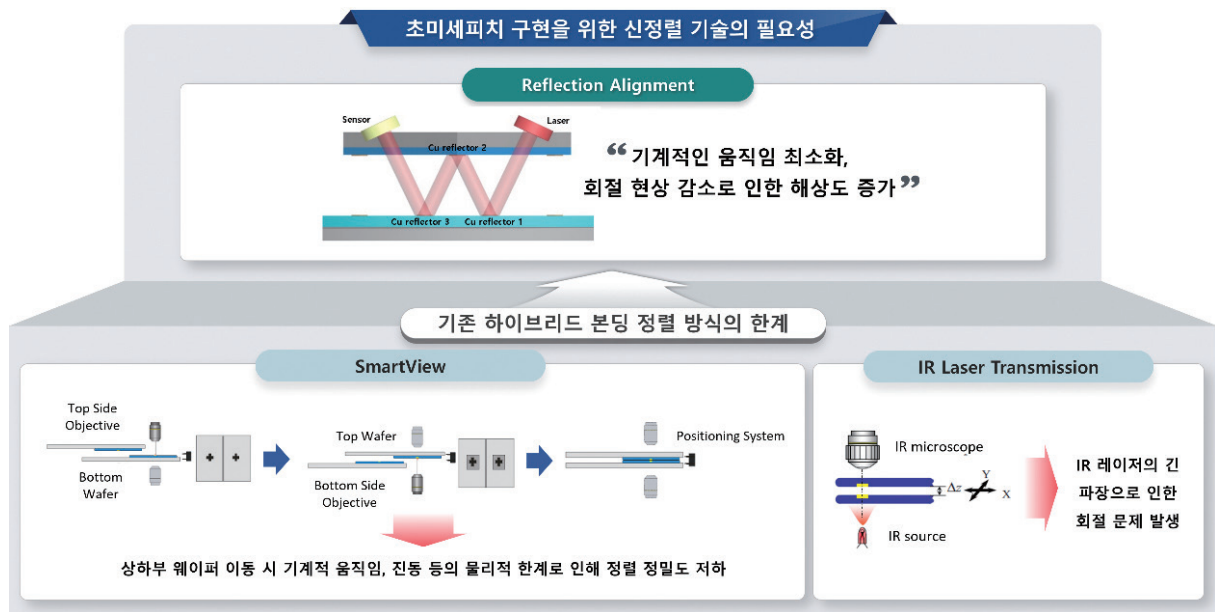
최종적으로 0.1 μm 피치가 가능한 본딩 기술



INTEL 10nm tech BE
M1 pitch: 36 nm
M7 pitch: 173 nm
M10 pitch: 864 nm

고밀도/초미세 피치를 위한 고해상도 정렬 기술 개발

- 향후 CPU 코어와 SRAM 캐시메모리, 인공지능 반도체 등 칩간 교환되는 데이터량이 급격하게 증가하며, 이를 제작하기 위해서는 IC 패키징 구성 칩들이 고밀도 초미세피치 I/O 노드를 갖어야 할 것으로 예상됨
- 하이브리드 본딩 시 산화막 위에 증착된 Cu를 CMP를 이용한 Dual damascene 공정으로 깎아서 pad를 형성함. 두 샘플의 pad가 서로 정확히 마주보도록 정렬해야 하며 피치가 작아질수록 육안으로는 볼 수 없어 정렬은 어려워짐
- 스위스의 웨이퍼 본더 회사인 EVG는 카메라로 상하의 웨이퍼를 촬영한 후 정렬 위치로 웨이퍼를 이동하는 SmartView 방법을 사용하고 있음. 그러나 각 웨이퍼 이동 과정에서 진동 등으로 인해 물리적 한계를 갖고 있음
- 샘플을 투과한 적외선 레이저를 관찰하며 정렬하는 기술도 있는데 적외선 레이저의 긴 파장에 의한 회절로 인해 해상도에 한계를 가짐
- 0.5μm 수준 피치를 정렬하기 위해서는 기계적인 움직임을 최소화하면서 상하부 다이를 정렬하는 새로운 기술이 필요함
- 본 연구에서는 Cu pad에서 반사된 레이저 빛을 이용하여 정렬하는 reflection align 기술을 개발 중임
- 기계적 움직임을 최소화하도록 두 샘플을 글로벌 정렬한 후 반사 정렬 기술을 이용하여 미세 정렬을 하는 방법으로 0.5μm 수준의 본딩 피치를 구현하고자 함

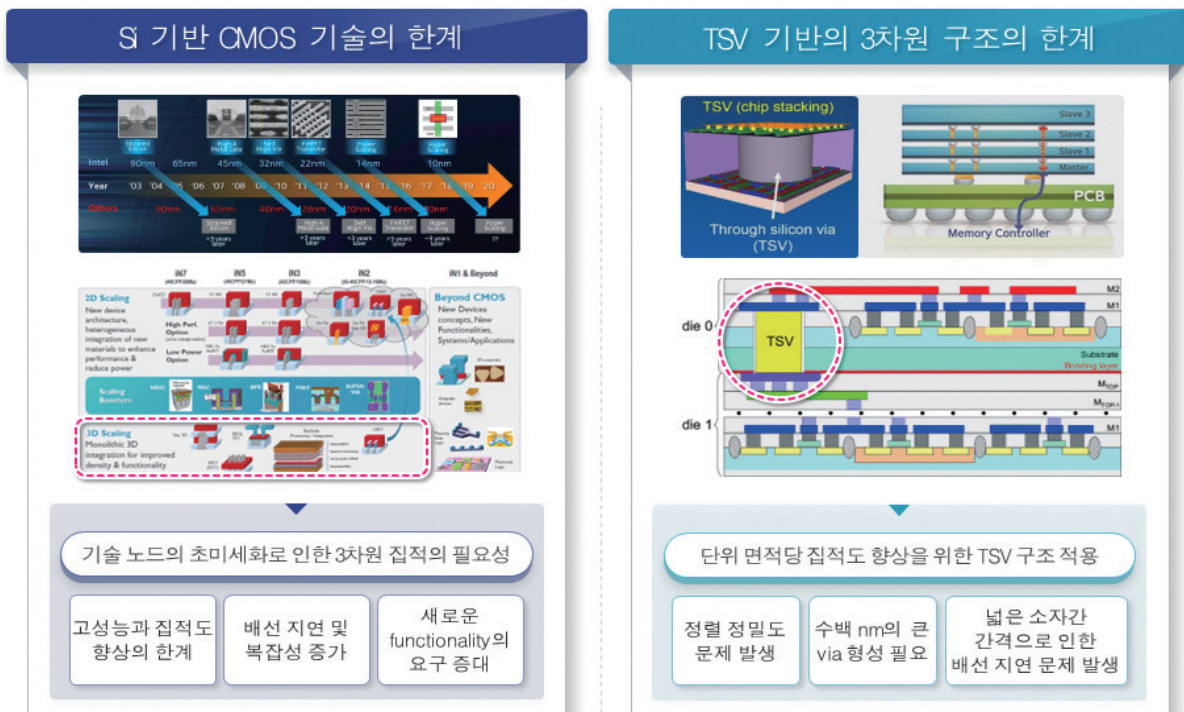


- 반사 방식을 이용한 정렬 방법은 본딩하고자 하는 die와 wafer에 Cu reflector를 형성한 후 레이저를 조사하여 진행하며, Cu reflector 내부에 형성된 align pattern에 대한 정보는 반사를 통해 센서에 도달하게 됨



Monolithic 3D integration (M3D)을 위한 비정질상 위 결정방향 제어가 가능한 저온 단결정 active 층 형성 기술 개발

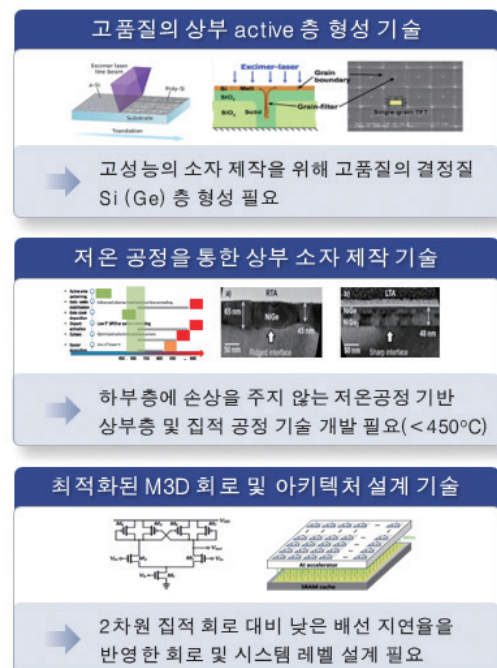
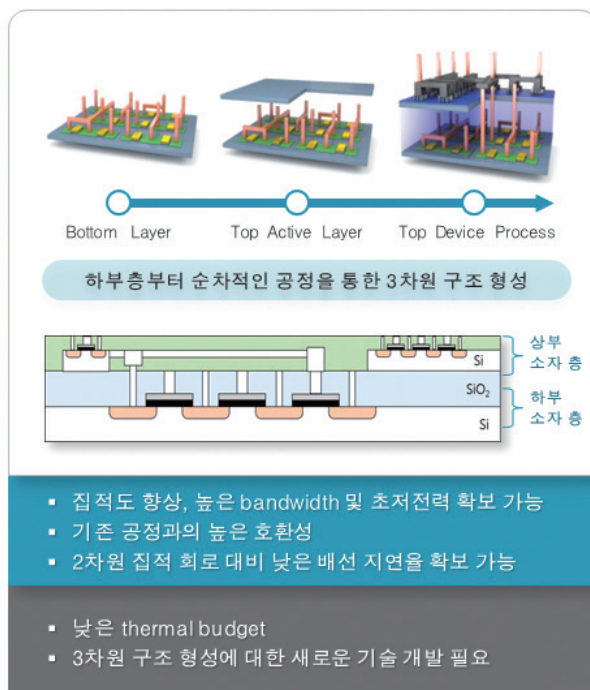
- 소자 미세화가 물리적 한계에 다다르며 전공정을 통한 3차원 집적(M3D)이 제안됨
- 기형성된 하부 소자층 상의 비정질 절연막 위에 새로운 active 층을 저온 공정으로 형성하고 소자를 제작하여야 함
- 현재까지 제안된 active 층 형성 기술은 상부 소자의 성능 열화, 하부 소자층 디자인 제한, 공정 시간 등의 문제가 있어 새로운 개념의 기술이 필요함
- 본 연구에서는 비정질 절연막 위에 결정 방향 제어가 가능한 저온 단결정 실리콘계 active 층 형성 기술을 개발



M3D 적층 소자의 연구배경 및 현황

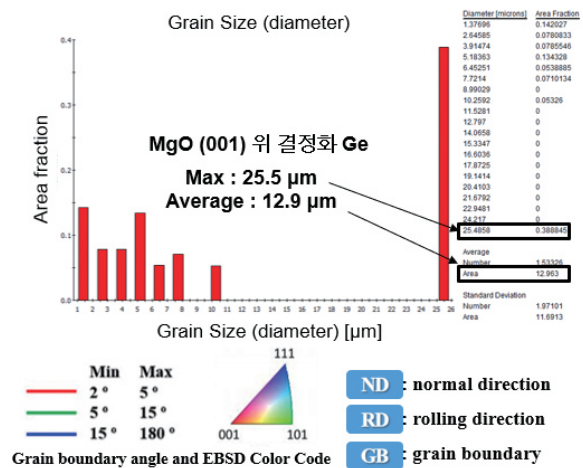
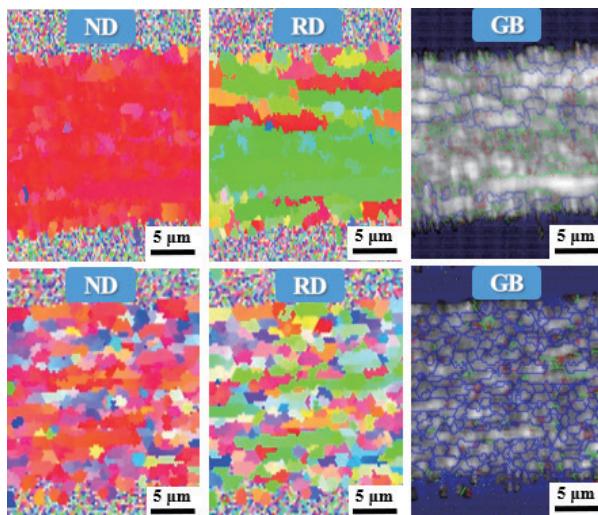
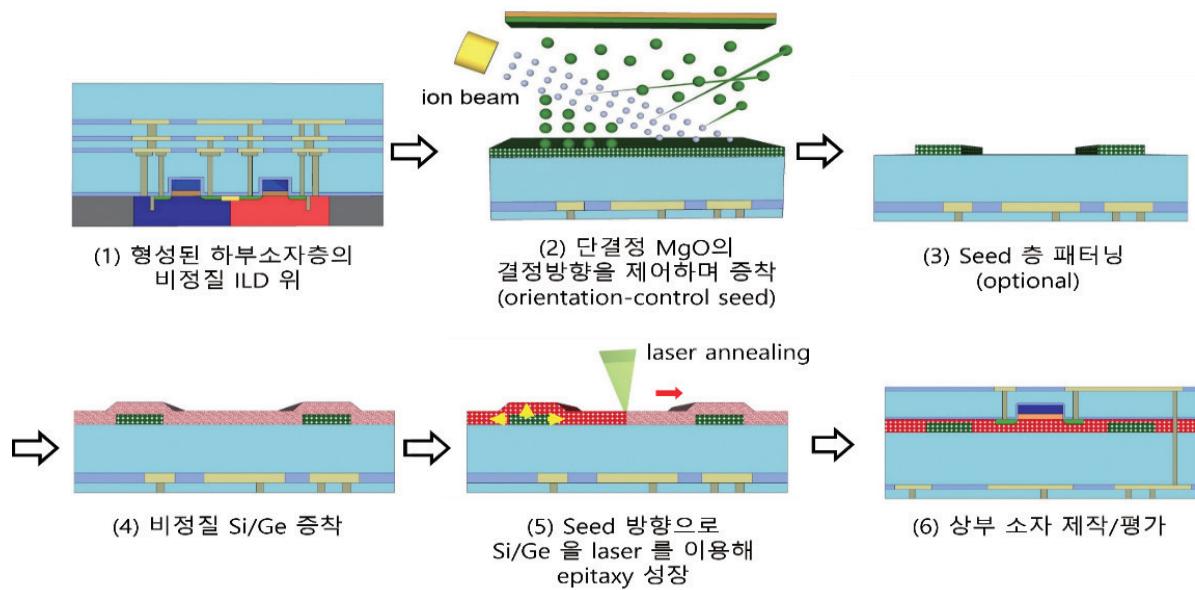
- 기존 실리콘 기반 MOSFET 기술은 급속한 발전을 이루었으나 트랜지스터의 집적도가 높아질수록 실리콘 반도체가 가진 물리적 한계로 인해 소자 미세화를 통한 트랜지스터 성능 향상 및 고집적화를 기대하기가 어려워짐
- 또한, 급격히 늘어난 전력소비량과 누설 전류에 의한 발열 현상이 심각해졌으며 소자 미세화에 따른 공정 비용 절감 효과가 급격히 감소하고 있음
- 기존의 2차원 집적과 달리 소자를 3차원으로 수직 적층함으로써 전력 소비량과 공정 비용을 획기적으로 감소시키고 성능을 향상시킬 수 있는 기술이 주목받고 있음

- 기존의 3차원 수직 적층 기술인 Through Silicon Via (TSV) 기술의 via 정렬 정밀도 문제와 via 크기 한계를 극복하기 위해 전공정 집적을 통해 3차원으로 적층하는 기술인 M3D 집적 기술이 연구되고 있음
- M3D 집적 기술은 TSV 기술과 다르게 via 크기 문제로부터 자유롭고 배선 지연을 감소시킬 수 있으며 기존의 Si 기반 소자 공정 기술과 높은 호환성을 갖기 때문에 공정 비용을 크게 낮출 수 있다는 장점이 있음
- 하지만 M3D 공정 집적을 위해서는 3층의 metal interconnect로 완성된 하부 소자층의 비정질 interlayer dielectric (ILD) 위에 새로운 반도체 active 층을 만들고 소자를 제작할 수 있는 공정 기술의 개발이 필수적임
- 특히, 하부소자와 interconnect의 열화를 막기 위해서 모든 공정은 450°C 이하의 저온에서 이루어져야 함



결정방향 조절 active 층 형성 기술

- 본딩 방식 대신 층간 절연막 위에 결정 방향을 제어할 수 있는 seed 기술을 개발하고 단결정 Ge 상부 active 층을 직접 epitaxy 성장시킴으로써 본딩에 의해 발생하는 문제들을 완전히 제거하고 고품질의 단결정 상부 active 층을 확보하고자 함
- 해당 상부 active 층을 사용해 고성능 소자를 제작하는 저온 공정 플랫폼을 개발하고자 함
- Off axis 방법을 이용하여 고결정질의 MgO 형성, MgO 단결정 기판 위 비정질 Ge를 laser annealing을 통해 (100) 방향의 Ge으로 성장



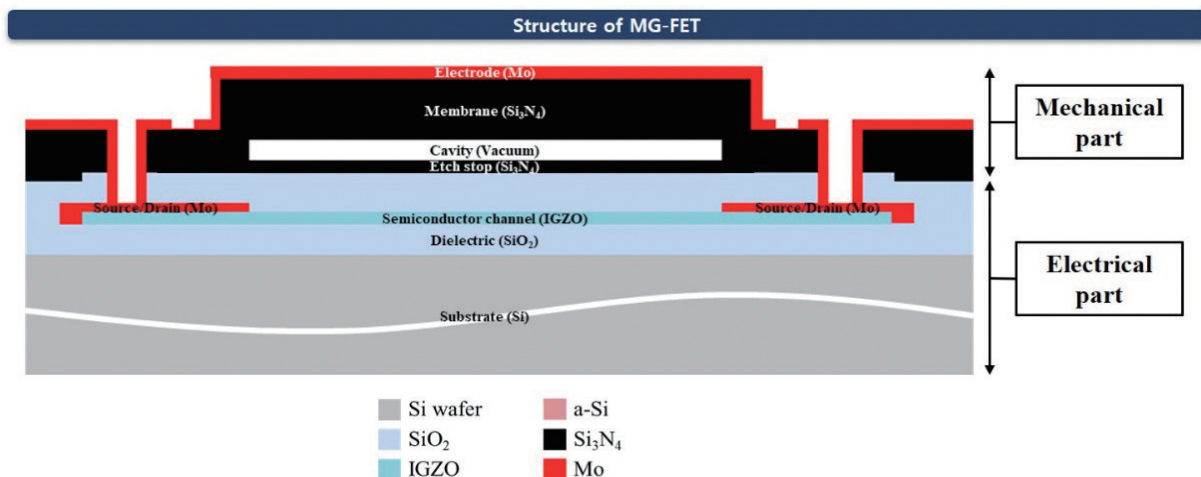
희생층 식각 공정을 이용한

Membrane gate field-effect-transistor (MGFET) 저온 제작

- 최근 IoT 시대의 도래에 따라 고성능 센서의 필요성이 증가하여 다양한 센서들이 연구되고 있는데, 그 중 반도체집적회로공정을 통해 제조되는 FET(field-effect transistor) 센서들이 극소형 및 초경량으로 대량 생산, 빠른 감지 반응의 강점으로 인해 활발히 연구되고 있음
- 기존 FET기반 센서들은 채널에서 직접적인 센싱을 하여, 물질을 감지하는 영역과 전류의 변화가 일어나는 영역이 분리되지 않아 민감도나 정확성에서 불안정한 모습을 보임
- MGFET은 mechanical part와 electrical part를 구분했기 때문에 채널 노출로 인한 노이즈 발생이 적음
- MGFET은 TFT 영역에 갭(gap)과 멤브레인이 형성되어 있는 구조를 가져, 물질이 막에 흡착되어 막이 힘에 따라 달라지는 갭의 두께 변화를 이용하여 채널의 전류량 변화를 이용하는 센서 역할을 수행할 수 있음
- 이를 통해 기존의 FET 센서와 같이 고민감도를 가질 뿐 아니라, channel isolation 문제 또한 해결할 수 있음

기존의 MGFET 연구와의 차별성

- 대부분의 MGFET은 서로 다른 두 wafer를 가열과 압력을 이용하여 붙이는 기술인 wafer bonding을 이용하여 멤브레인 아래로 갭을 형성함
- 이는 복잡한 장비를 필요로 할 뿐만 아니라 저온에서 진행할 경우 adhesion 문제와 같은 공정 문제들이 있기 때문에 높은 thermal budget을 필요로 함
- 이는 하부 소자에 영향을 주게 되고 thermal degradation을 발생시킬 수 있기 때문에 M3D 등의 기술에 적용하기 어려움
- 희생층 식각 공정 등의 저온 공정을 이용하여 CMOS 하부 소자 위 MGFET 상부 소자 제작을 연구

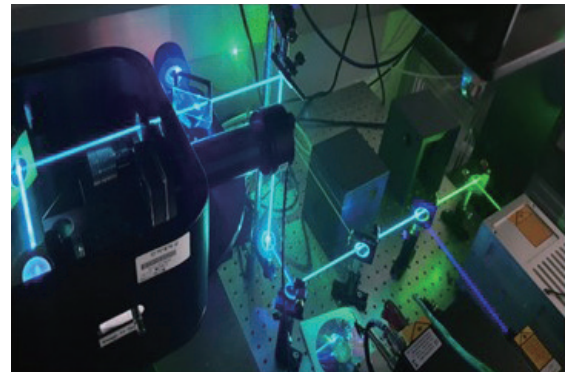
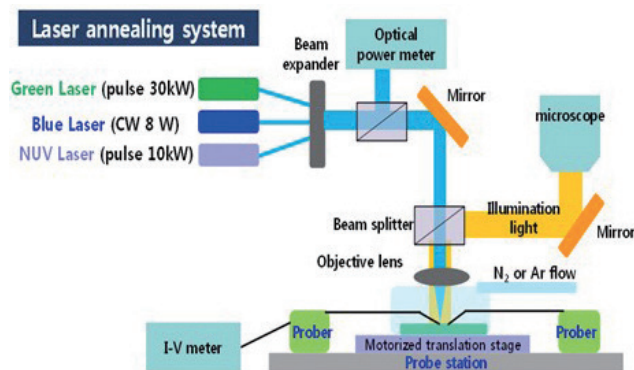


하이브리드 본딩을 위한
초미세피치 접합이 가능한 신정렬 기술 개발

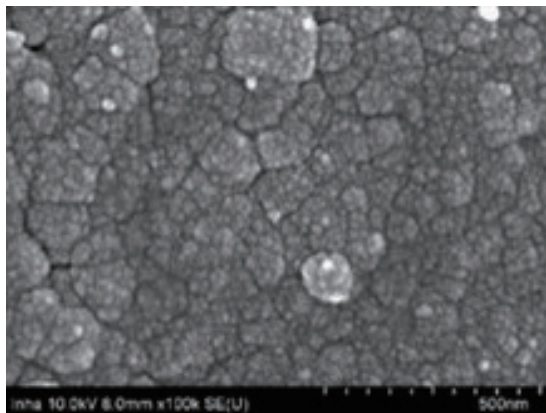


레이저를 이용한 반도체 공정

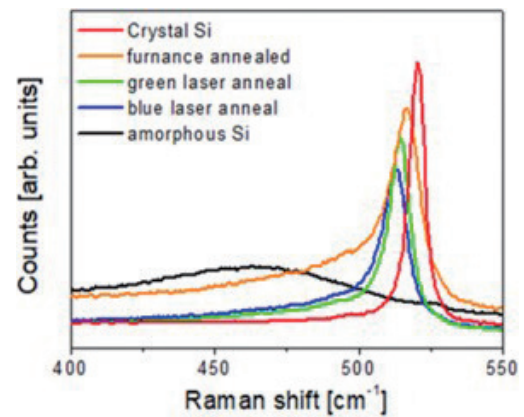
- 고출력 레이저를 이용한 a-Si의 어닐링, activation 공정
- 355-nm UV, 450-nm blue, 532-nm green laser
- Pulse & CW laser
- Thermal annealing과 유사한 우수한 결정성 확인



레이저 어닐링 후 poly-Si grain image

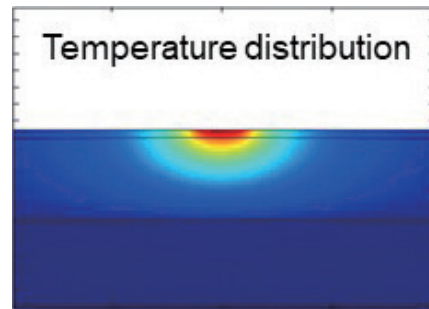
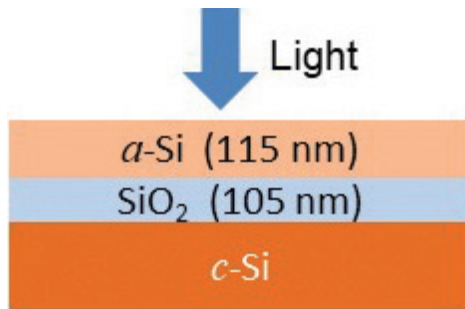


Raman spectrum

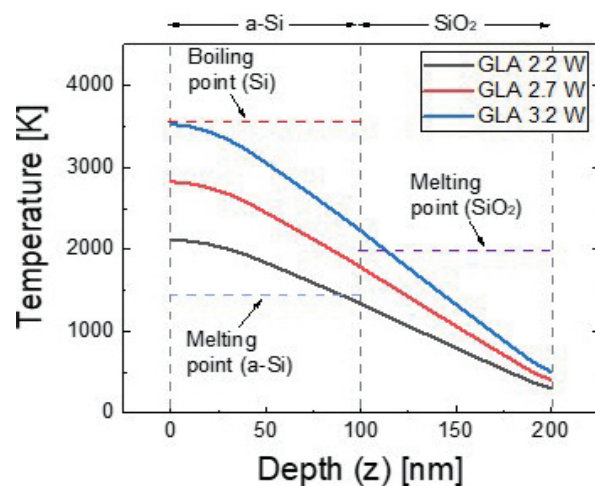
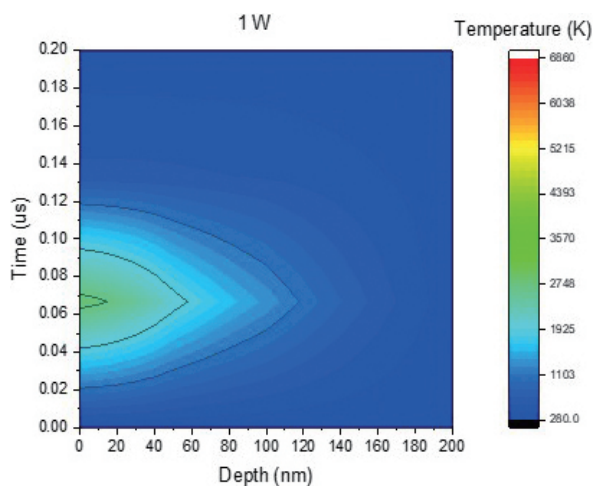


레이저 공정에서의 열 해석

- 레이저 어닐링 공정 드에서 3차원 thermal simulation을 통한 공간, 시간적 온도 분포 계산
- Comsol Multiphysics, Ansys HEAT program 활용
- 레이저 power, pulse duration 등에 따른 온도분포 simulation에 따른 실험 data 해석



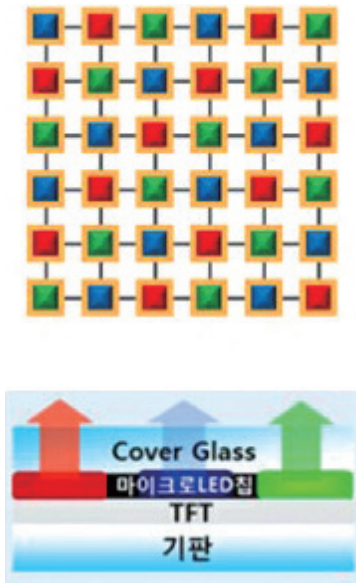
COMSOL Multiphysics를 이용한 thermal simulation 예



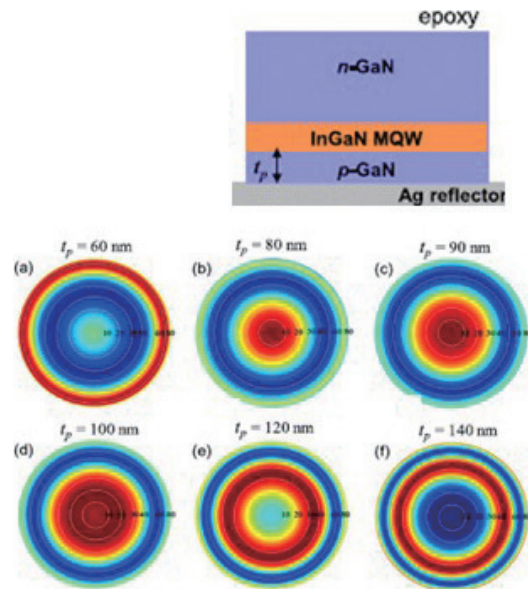
반도체 광소자 설계

- 반도체 광소자(LED, laser diode, PD, solar cell) simulation 및 설계
- Micro-LED의 효율 및 배광 분포 simulation
- 레이저 가공용 고출력 청색, 적외선 반도체 레이저 설계
- 고효율 III-V 다중접합 태양전지 구조 simulation 및 설계

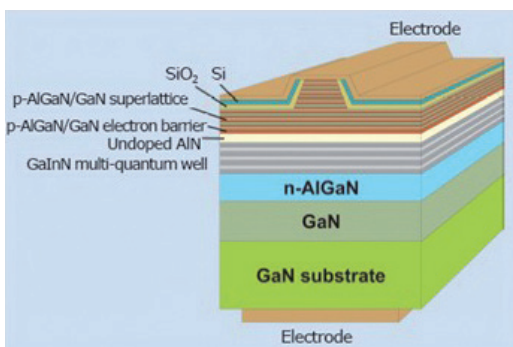
마이크로-LED 디스플레이



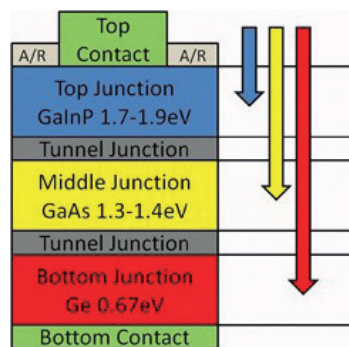
마이크로-LED의 배광 분포



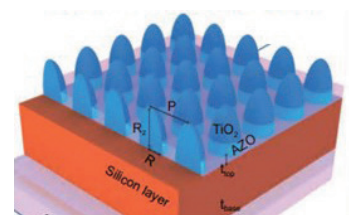
GaN 기반 고출력 청색 LD



다중 접합 태양전지



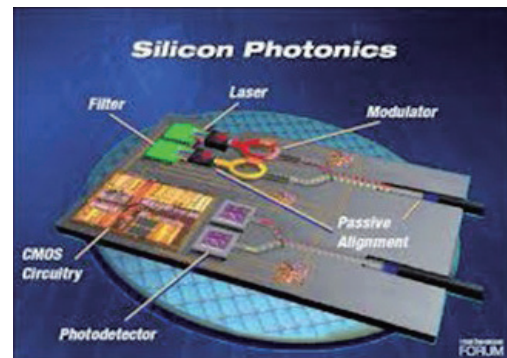
태양전지 무반사 표면 설계



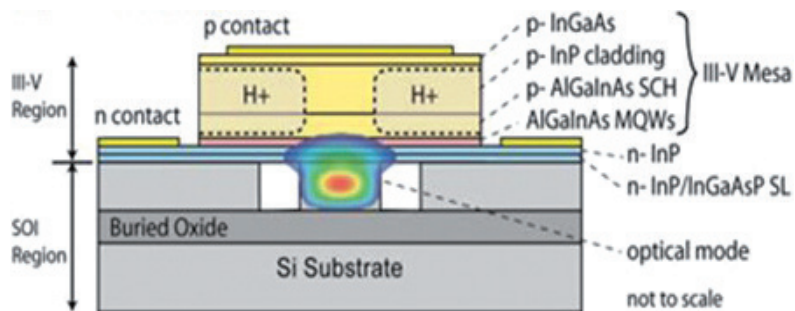
III-V on Si hybrid integration device

- 저전력, 고속 data center 통신을 위한 silicon photonics 기반 III-V on Si 광소자 설계
- III-V on Silicon hybrid laser, modulator, Ge photo-diode, Fiber coupler 등의 소자 simulation
- 설계 프로그램: FDTD, Crosslight(LASTIP, PICS3D)

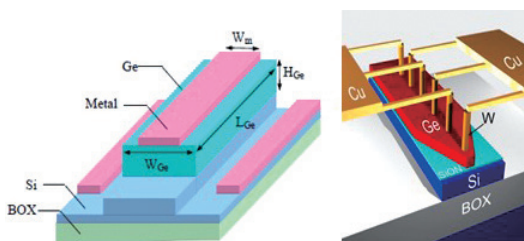
Intel의 optical interconnect (silicon photonics) 기반 data center 개념



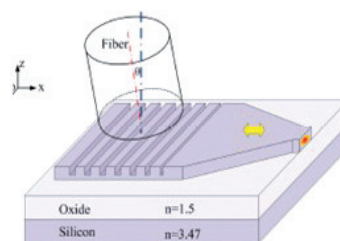
III-V/Si hybrid laser



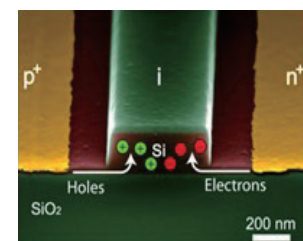
Ge on Si PD



Fiber-grating coupler

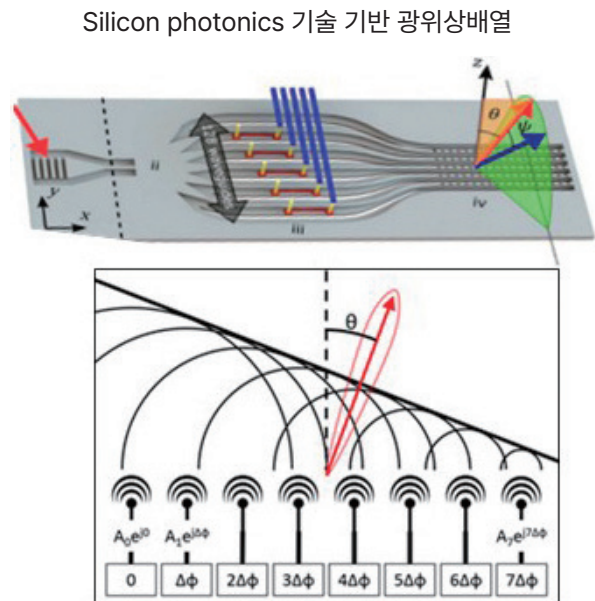
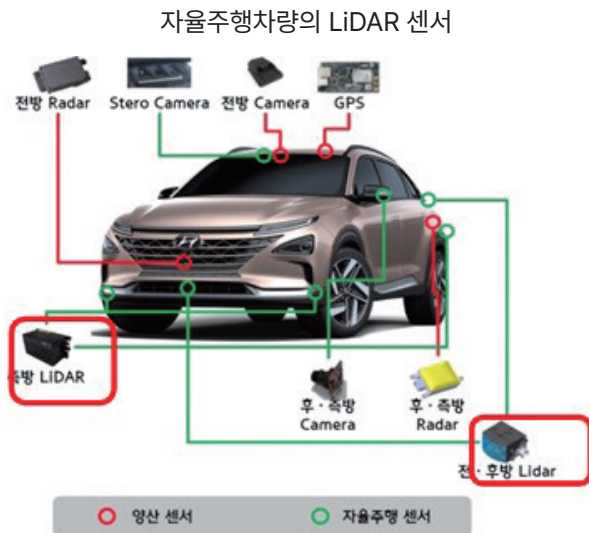


Si modulator

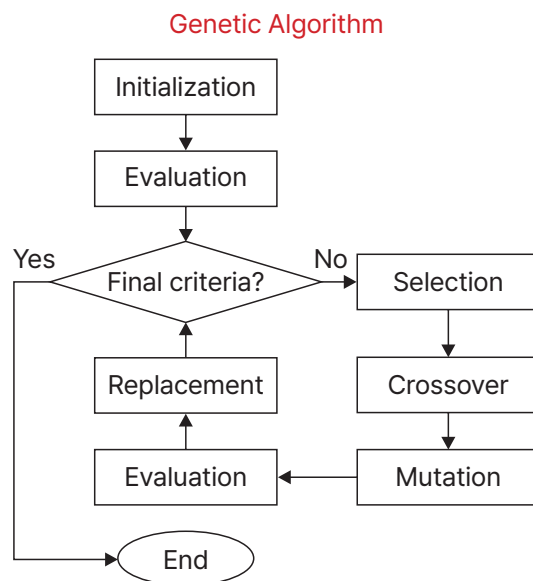
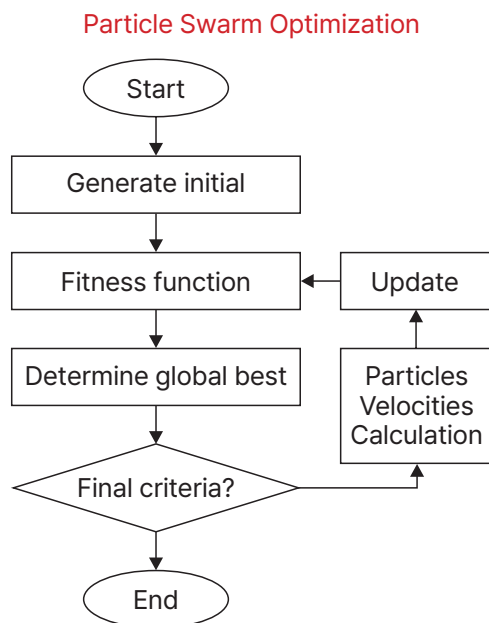


자율주행차용 LiDAR 센서(Si photonics 기반 광위상배열 설계)

- Silicon photonics 기반 광위상배열(optical phased array)를 이용한 compact, 저가의 LiDAR 센서 구현
- 수백 개의 광안테나로 구성된 광위상배열 최적 구조 설계
- 최적화 알고리즘(PSO, GA 등) 적용



Optimization algorithm 기반 설계



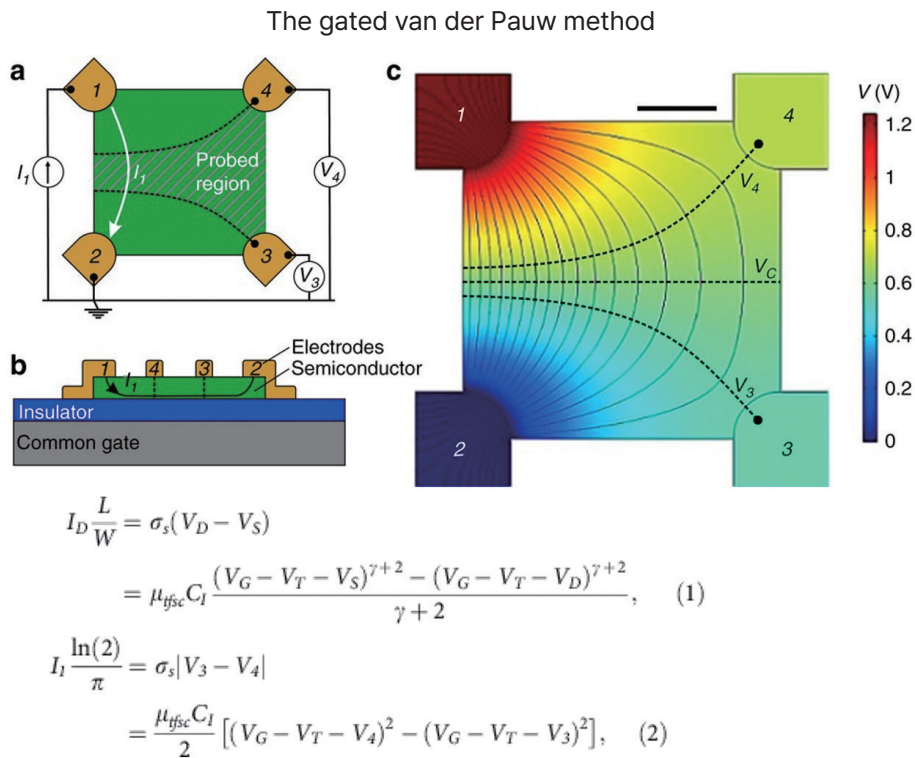
산화물반도체
TFT 소자 성능 개선 연구



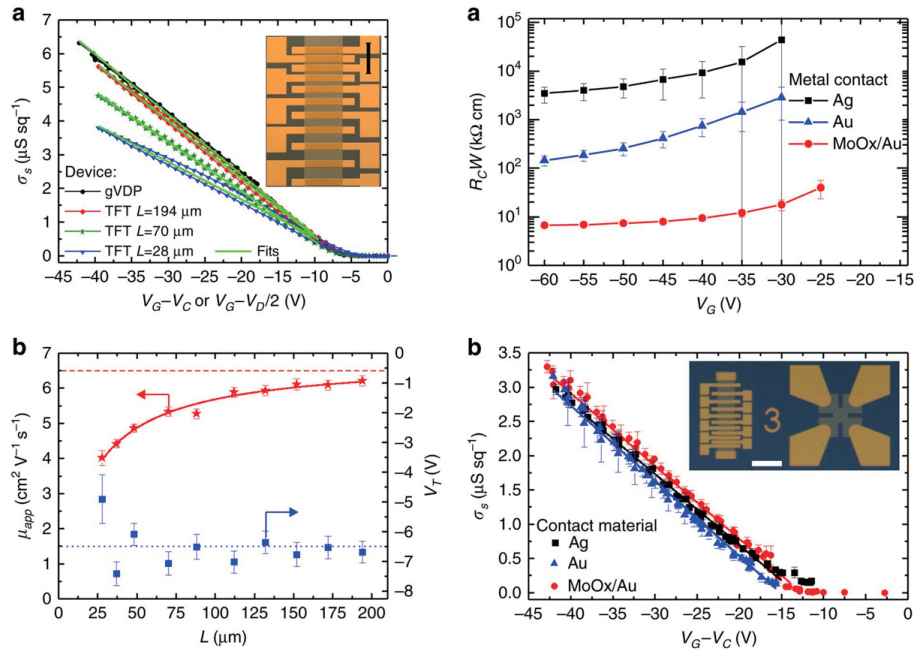
산화물반도체 TFT 소자 성능 개선 연구

TFT 소자의 접촉 저항(Contact resistance) 감소 방안 연구

- 반도체/디스플레이 소자의 성능 향상을 도모하고자 Si 소재를 대신하여 다양한 소재들을 이용한 Transistor 개발이 이루어지고 있음. 특히 디스플레이 분야에서는 IGZO (Indium-Gallium-Zinc-Oxide) 소재를 이용한 연구가 각광받고 있는데, Si에 비해 저항이 높은 단점을 지니고 있어, 고성능 소자 개발에 한계가 따르고 있음.
- 특히, 소스-드레인과 활성층 간의 접촉 부분에서의 문제가 심각한 상황이며, 이를 효과적으로 제어하는 것이 필요함. 이를 위해서는 접촉 저항 문제없이 정확히 전자 이동도를 측정하고 실제 I-V에서 측정된 값과 얼마나 차이가 나는지 분석이 필요함.
- 이를 위해 The gated van der Pauw method 방식을 이용하여 접촉 저항을 배제한 intrinsic 전하 이동도를 측정할 수 있는 방안을 개발하였음.



컨택 저항 분석 결과

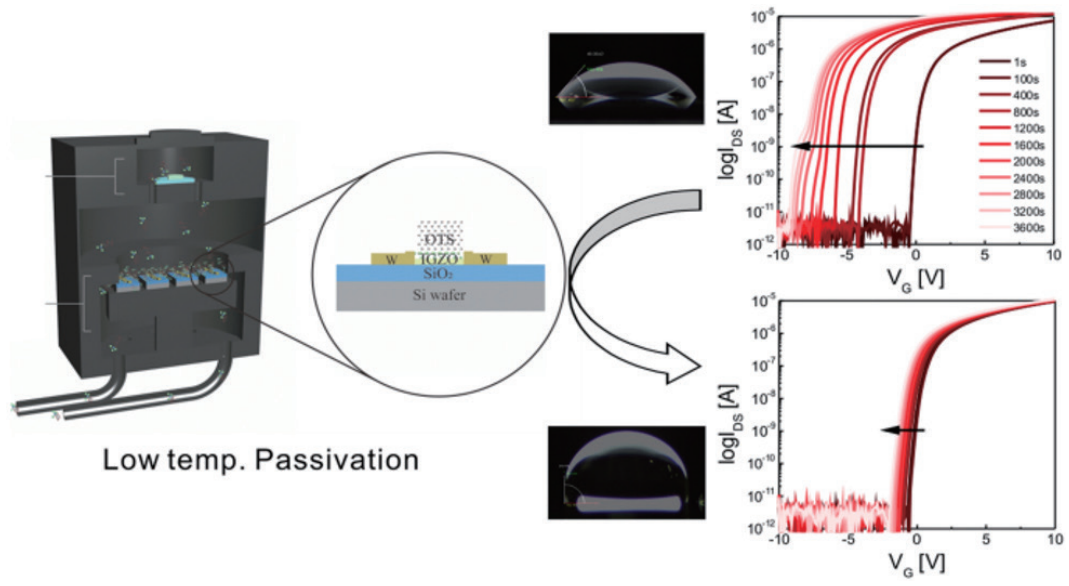


- 이를 다양한 소재 및 소자 구조에 적용하여 Transistor의 성능 개선을 꾀할 수 있을 것으로 예상함.

저온 공정 기반 산화물 반도체 TFT 소자의 안정성 향상 기술 개발

- IGZO (Indium-Gallium-Zinc-Oxide)로 이루어진 반도체 소재의 경우 산소 및 수분에 굉장히 민감한 특성을 보임. IGZO 내부의 산소 농도에 따라 소자의 특성이 크게 변화하는 결과를 보이고 있어, 산화물 반도체 TFT의 안정성 향상을 위한 연구가 많이 진행되고 있음.
- 특히, Back channel을 수분과 산소로부터 보호해주고자 스퍼터링 혹은 ALD (Atomic layered deposition) 방식을 이용하여 SiOx 및 SiNx 와 같은 물질을 이용하여 활성층을 효과적으로 보호해주는 기술이 개발되었는데, 이는 공정 시 소자가 고온에 노출되는 위험이 따르고 있어 공정 조건 제어를 주의 깊게 진행할 필요성이 있음.
- 본 연구팀에서는 고온 공정이 아닌 300 oC 이하의 저온 공정이 가능한 방식을 개발하여 산화물 기반 활성층 박막을 효과적으로 보호하였으며, 이를 통해 소자의 구동 안정성을 대폭 늘릴 수 있는 기술을 확보하였음. 저온 공정을 위해 듀얼 챔버 구조의 펄시베이션 증착기를 고안하였으며, 효과적인 성막의 필수요소인 히팅부와 증착부를 효과적으로 분리하는데 성공하였으며, 이를 기반으로 공정 시 소자에 전혀 데미지가 없는 성막 기술을 구현할 수 있었음. 추후 본 기술을 활용하여 고성능의 유연소자에도 적용할 있을 것으로 예상함.

TFT 안정성 확보를 위한 저온 봉지 기술



융합기술을 바탕으로 신기능을 보유한 트랜지스터 소자 개발 연구

발광 트랜지스터(Light-Emitting Transistor)

- 최근 다양한 기능을 보유한 소자들을 집적화하여 사용자가 원하는 고성능의 소자 및 시스템을 개발하는 연구가 활발히 진행되고 있음. 또한, 전기적 신호 뿐만 아니라 광학적 신호를 동시에 이용하여 다양한 기능을 선보이는 소자 개발 요구가 증대 중임.
- 특히 공정 중 소자의 성능 저하가 발생함에 따라 저온 공정이 가능한 소자 집적화 역시 많은 관심을 받고 있으며, 이를 활용하여 플렉서블 소자 등 유연 소자를 개발하고자 하는 연구도 활발히 진행되고 있음.
- 본 연구실에서는 기존 Transistor 가 가진 전기적 신호 제어 기능 뿐만 아니라 광학적 신호를 추가하고자 활성층이 p-형 및 n-형으로 수직 적층 된 p-n 접합 형태의 발광 트랜지스터를 개발하였음.
- 특히, 다량의 전류 밀도를 제어하고, 빛의 세기를 증가시키고자, 기존의 단일 게이트 구조가 아닌 이중 게이트 구조 기반의 오버랩핑 (overlapping) 게이트 구조를 개발하였음. 이를 통해 고밀도 전류 수송 및 고휘도를 얻을 수 있는 발광 트랜지스터 소자를 개발하였음.

발광 트랜지스터

